

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-168092

(P2001-168092A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 21/318		H 0 1 L 21/318	B 5 F 0 3 3
21/768		21/90	K 5 F 0 4 0
27/108		27/10	6 2 1 Z 5 F 0 5 8
21/8242			6 8 1 Z 5 F 0 8 3
29/78		29/78	3 0 1 G
審査請求 未請求 請求項の数28 O L (全 29 頁) 最終頁に続く			

(21) 出願番号 特願平11-359463

(22) 出願日 平成11年12月17日 (1999. 12. 17)

(31) 優先権主張番号 特願平11-2895

(32) 優先日 平成11年1月8日 (1999. 1. 8)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平11-163202

(32) 優先日 平成11年6月10日 (1999. 6. 10)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平11-274703

(32) 優先日 平成11年9月28日 (1999. 9. 28)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 田中 正幸

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72) 発明者 齋田 繁彦

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

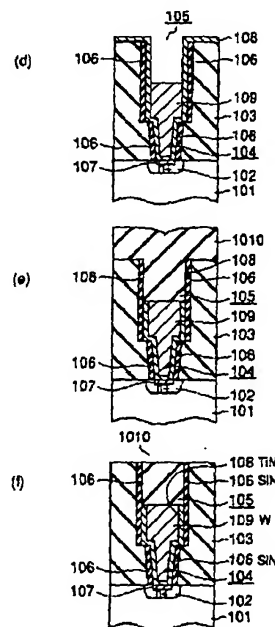
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 シリコン酸化膜に対して十分な選択比が取れるシリコン窒化膜を形成すること。

【解決手段】 Si原料としてSi₃C₄を用いて、LPCVD法により塩素濃度が $4 \times 10^{20} \text{ cm}^{-3}$ 以上のシリコン窒化膜10を形成する。



【特許請求の範囲】

【請求項1】塩素濃度が $4 \times 10^{19} \text{ cm}^{-3}$ 以上であるシリコン窒化膜を有することを特徴とする半導体装置。

【請求項2】前記シリコン窒化膜はシリコン過剰であることを特徴とする請求項1に記載の半導体装置。

【請求項3】塩素／シリコンの比が1.33より小さいシリコン過剰であることを特徴とする請求項2に記載の半導体装置。

【請求項4】前記シリコン窒化膜は、炭素を含むことを特徴とする請求項1に記載の半導体装置。

【請求項5】前記シリコン窒化膜は、溝の内部に形成されていることを特徴とする請求項1ないし請求項4のいずれか1項に記載の半導体装置。

【請求項6】表面に拡散層を有する半導体基板と、前記拡散層の表面に形成されたバリアメタル膜と、前記半導体基板上に形成され、前記バリアメタル膜に到達する接続孔を有する絶縁膜と、前記接続孔の下部側を充填する導電膜とをさらに備え、

前記シリコン窒化膜は、前記接続孔の上部側を充填する前記導電膜上に形成されたものであることを特徴とする請求項1に記載の半導体装置。

【請求項7】前記シリコン窒化膜の炭素濃度が $4 \times 10^{19} \text{ cm}^{-3}$ 以上であることを特徴とする請求項4に記載の半導体装置。

【請求項8】前記塩素濃度は、 $1 \times 10^{13} \text{ cm}^{-3}$ 以上であることを特徴とする請求項1に記載の半導体装置。

【請求項9】前記シリコン窒化膜がCu配線に隣接して密着形成されていることを特徴とする請求項8に記載の半導体装置。

【請求項10】半導体基板の主表面側に形成された凹部を有する下地領域と、前記下地領域の凹部内全体に埋め込まれた塩素を含有するシリコン酸化膜とを有することを特徴とする半導体装置。

【請求項11】前記シリコン酸化膜には、リンおよびボロンの少なくとも一方が含有されていることを特徴とする請求項10に記載の半導体装置。

【請求項12】前記シリコン酸化膜は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上の塩素を含有することを特徴とする請求項10に記載の半導体装置。

【請求項13】半導体基板を用意する工程と、前記半導体基板上に、Si原料としてSi-Si結合およびSi-C結合を含む化合物を用いた減圧化学気相成長法により、シリコン窒化膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項14】前記シリコン窒化膜を形成する工程は、前記半導体基板上にゲート電極を形成した後、前記半導体基板、前記ゲート電極の表面を覆うためのシリコン窒化膜を形成する工程であり、

前記シリコン窒化膜上に層間絶縁膜を形成する工程と、前記層間絶縁膜およびシリコン窒化膜の所望の部分

通して前記半導体基板表面に至る貫通孔を形成する工程とをさらに有することを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項15】前記シリコン窒化膜の原料は、 $\text{Si}_x\text{Cl}_{3-x}\text{H}_x$ （ x は2以上の整数、 x は0以上 $2n+1$ 以下の整数）であることを特徴とするクレーム13に記載の半導体装置の製造方法。

【請求項16】前記シリコン窒化膜の成膜温度を 700°C 以下に設定することにより、前記シリコン窒化膜の塩素濃度を $4 \times 10^{19} \text{ cm}^{-3}$ 以上にすることを特徴とするクレーム13に記載の半導体装置の製造方法。

【請求項17】表面に拡散層が形成された半導体基板上に、配線溝およびその下に前記拡散層に対してのコンタクトホールを有する絶縁膜を形成する工程と、前記拡散層の表面にバリアメタル膜を形成する工程と、前記コンタクトホールの内部を充填するとともに、前記配線溝の途中の深さまで充填する、前記拡散層と電気的に接続する埋込み配線を形成する工程とをさらに有し、

前記シリコン窒化膜を形成する工程は、前記配線溝の内部を充填するために前記配線溝を含む領域上にシリコン窒化膜を形成する工程であることを特徴とするクレーム13に記載の半導体装置の製造方法。

【請求項18】前記バリアメタル膜としてTi膜とTiN膜との積層膜を用い、前記シリコン窒化膜の成膜温度を 700°C 以下に設定することを特徴とするクレーム17に記載の半導体装置の製造方法。

【請求項19】半導体基板の主表面側の下地領域に形成された凹部内全体にシリコン窒化膜を形成する工程と、前記シリコン窒化膜を酸化して該シリコン窒化膜をシリコン酸化膜に変換することにより、前記凹部内全体に絶縁領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項20】半導体基板の主表面側の下地領域に形成された凹部内にシリコン窒化膜を形成する工程と、前記シリコン窒化膜を酸化して該シリコン窒化膜をシリコン酸化膜に変換する工程とを、成膜方向に向かって複数回繰り返すことにより、前記凹部内全体に絶縁領域を形成することを特徴とする半導体装置の製造方法。

【請求項21】前記シリコン窒化膜はリンおよびボロンの少なくとも一方を含有しており、該シリコン窒化膜を酸化してリンおよびボロンの少なくとも一方を含有した前記シリコン酸化膜を形成することを特徴とする請求項19または請求項20に記載の半導体装置の製造方法。

【請求項22】前記シリコン酸化膜は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上の塩素を含有していることを特徴とする請求項19または請求項20に記載の半導体装置の製造方法。

【請求項23】前記シリコン窒化膜は、 $9 \times 10^{19} \text{ cm}^{-3}$ 以上の塩素を含有していることを特徴とする請求項19または請求項20に記載の半導体装置の製造方法。

【請求項24】前記シリコン窒化膜は、減圧化学気相成

長法によって形成され、減圧化学気相成長に用いる原料ガスには、 Si-Si 結合および Si-C 結合を持つ化合物が含まれていることを特徴とする請求項19または請求項20に記載の半導体装置の製造方法。

【請求項25】前記化合物は、化学式が $\text{Si}_n\text{C}_{1-n}\text{H}_x$ 、または $\text{Si}_n\text{C}_{1-n}\text{H}_x$ (n は2以上の整数、 x は $2n+2$ より小さい正数)であることを特徴とする請求項24に記載の半導体装置の製造方法。

【請求項26】前記シリコン窒化膜は、 450°C よりも低い温度で形成されることを特徴とする請求項19または請求項20に記載の半導体装置の製造方法。

【請求項27】前記シリコン窒化膜を形成する工程で、炭素原料として C-H 結合および C-N 結合の少なくとも一方を含む化合物を用いて、前記シリコン窒化膜に炭素を含ませることを特徴とするクレーム4に記載の半導体装置の製造方法。

【請求項28】前記シリコン窒化膜の成膜温度を 700°C 以下に設定することにより、前記シリコン窒化膜の炭素濃度および炭素濃度を $4 \times 10^{20} \text{ cm}^{-3}$ 以上にすることを特徴とする請求項27に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコン窒化膜またはシリコン酸化膜を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】高集積・微細化の潮流に伴い、次世代の半導体装置においては、今よりも微細かつ高アスペクト比の接続孔を有する層間絶縁膜(SiO_2 膜)を形成し、この層間絶縁膜上に接続孔内において均質かつ被覆性が良いシリコン窒化膜を形成することができ、さらに次工程のシリコン窒化膜の化学的機械的研磨(CMP: Chemical Mechanical Polishing)による研磨工程で、設計値通りの埋込み形状および平坦性の高い表面を実現できるプロセス技術が必須である。

【0003】この種の技術は、例えば図37に示すような素子構造を形成する場合に用いられる。図37は、DRAMセルのMOSトランジスタをチャンネル長方向と垂直な方向で切断した断面を示している。

【0004】図中、681はシリコン基板を示しており、このシリコン基板681の表面にはドレイン拡散層682が形成されている。シリコン基板681上には、ドレイン拡散層682に対してのコンタクトホール683およびこれを介してドレイン拡散層682に繋がる配線溝684を有する層間絶縁膜(SiO_2 膜)685が形成されている。

【0005】コンタクトホール683および配線溝684の内部には、タンゲステンからなる埋込み配線686が形成されている。埋込み配線686が埋め込まれてい

るところの、コンタクトホール683および配線溝684の側壁には、シリコン窒化膜687が形成されている。

【0006】ここでは、埋込み配線686はコンタクトホール683に関してはその内部全体に形成されているが、配線溝684に関してはその途中の深さまでしか形成されていない。埋込み配線686で埋め込まれていない部分はシリコン窒化膜688が埋め込まれている。

【0007】この種のシリコン窒化膜688はキャップ絶縁膜と呼ばれている。キャップ絶縁膜の目的は、その上に形成される下部キャパシタ電極689と埋込み配線686との短絡を防止することにある。

【0008】キャップ絶縁膜は、層間絶縁膜(SiO_2 膜)685にキャパシタ用のコンタクトホール、すなわち下部キャパシタ電極を n^+ 型ソース拡散層と接続するための接続孔をRIE(Reactive Ion Etching)で形成する際にマスクとして使用する。そのために、キャップ絶縁膜には選択比の取れるシリコン窒化膜688が使用されている。

【0009】コンタクトホール683の底面には、後工程の熱工程によってドレイン拡散層682と埋込み配線686とが反応しないように、 Ti/TiN 積層膜690がバリアメタル膜として形成されている。

【0010】配線溝684のアスペクト比が1以上の場合、 Si 原料としてジクロロシラン(DCS)を用いた段差被覆性の良いCVD法である減圧化学気相成長法(LPCVD法)により、シリコン窒化膜(DCS-SiN膜)688を形成していた。

【0011】しかしながら、以上述べた形成方法には以下のような問題がある。

【0012】DCS-SiN膜688に対する層間絶縁膜(SiO_2 膜)685のCMPによる研磨速度(層間絶縁膜685の研磨速度/DCS-SiN膜688の研磨速度)は30程度で高くない。

【0013】そのため、配線溝684の外部の余剰なDCS-SiN膜688をCMPによって除去する工程で、層間絶縁膜685が研磨停止面として機能しなくなり、DCS-SiN膜688が過剰研磨される。

【0014】その結果、図38に示すように、DCS-SiN膜688の膜厚が設計値よりも薄くなるので、埋込み配線686と下部キャパシタ電極689との間のリーク電流が増加したり、耐圧が低下するなどの問題が起こる。

【0015】また、キャパシタのコンタクトホールをエッチングにより開口する際には、DCS-SiN膜688はマスクとして使用されるが、上述したような過剰研磨が生じると、最悪の場合には、図39に示すように、埋込み配線686と下部キャパシタ電極689とが短絡するという問題が起こる。

【0016】ところで、近年、半導体デバイスの高集積

化および高速化に対する要求が高まりつつある。これらの要求を実現するために、素子間および素子寸法の縮小化、微細化が進められる一方、埋込み配線の低抵抗化および寄生容量の低減などが検討されている。

【0017】例えばDRAMでは、高集積化の進展が顕著であり、そのために、コンタクトホールを形成するためには、アスペクト比の大きい、狭い段差形状を形成する必要がある。

【0018】このために例えばDRAMでは、コンタクトホールの形成時の、層間絶縁膜（TEOS酸化膜等）のRIEに対するエッチングストッパー膜として選択比の高いシリコン窒化膜（SiN膜）が使われるようになってきている。

【0019】この種のエッチングストッパー膜（RIEストッパー膜）として使われるSiN膜は、RIEの選択比がシリコン酸化膜、例えばBPSG膜やTEOS膜に対して充分高いことが必要である。更に、素子の高集積・微細化に伴い、よりアスペクトの厳しい狭い段差形状を均質かつ均一に被覆する必要がある。

【0020】これらの要求を満足するために、従来より、コンタクトホール形成時のRIEストッパー膜としては、原料にジクロロシラン（DCS）とアンモニアを用い、780℃程度でLPCVD法で形成された比較的緻密なSiN膜が用いられてきた。

【0021】この方法により形成したSiN膜は、TEOS膜をRIEする際のTEOS膜のSiN膜に対するRIE選択比が7程度と高く、また、そのSiN膜の誘電率は7.5程度であった。

【0022】しかしながら、この7.5という誘電率は比較的大きい。特に最近では素子寸法の縮小に伴いこのRIEストッパー膜の容量が素子全体の配線間容量またはRC遅延時間を左右するほどになっており、0.18ミクロン世代以降のDRAMではこのRIEストッパー膜の容量が素子の動作速度の遅延としてあらわれてきた。

【0023】また、このようなRIEストッパー膜としてのSiN膜の使用はビット線容量の増大につながり、これを補うために大きな容量のキャパシターを作る必要があり、素子特性上不利になっていた。

【0024】更に、製造プロセスの点から、RIEストッパー膜としてSiN膜を使用した場合、BPSG膜、TEOS膜等の酸化膜に開口をエッチングにより形成した後に、RIEのガス条件をSiN膜をエッチングできる条件に切り替えて行うことが必要である。

【0025】しかし、この場合、開口部のアスペクト比が大きく、開口径が小さいために、開口部底面のSiN膜に対するRIE時の面内均一性が充分に取れないこと、SiN膜の残さが底部に残りやすいこと、そしてシリコン基板を直接RIEにさらすために基板ダメージが懸念され、充分な過剰エッチングができず、SiN膜が

残りコンタクト不良が起きてしまう懸念があること、などの問題があった。

【0026】更に、次工程では、コンタクト部分の自然酸化膜を除去するための希弗酸処理を行うが、780℃でジクロロシラン（DCS）を原料として成膜したDCS-SiN膜は希弗酸（1/200）によるエッチングレートが0.2（nm/min）程度で、自然酸化膜の1（nm/min）程度のエッチングレートよりも遅く、上記の自然酸化膜が希弗酸工程では除去できないという問題があった。

【0027】一方、ロジックデバイスにおいては高速の処理速度が必要であるために、いわゆるRC遅延時間を低減すること、つまり配線間の容量および配線抵抗を低減することが必要になっている。配線の抵抗を下げるために、金属配線として銅（Cu）配線を使用することが検討されている。Cu配線を使用するためにはCu配線の酸化およびCu配線中のCuの拉散を防止するバリア層が必要になる。このバリア層の一つとして現在SiN膜が検討されている。

【0028】図40にCu配線上にSiN膜をバリア層として成膜した構造の一例を示した。図中、701はTEOS酸化膜、702はTa₂N膜、703はCu配線、704はSiN膜を示している。ここで、Cu配線技術を用いる場合でも、配線間のRC成分低減のため配線間が狭ピッチの部分には一部にAl配線が用いられている。そのため、後工程で成膜されるSiN膜704は、Alのリフロー温度である450℃を超えない温度での成膜が必要になる。また、配線形成時には既に形成済みの層間絶縁膜には誘電率低減のため（f）SG（非素添加シリケートガラス）などの低誘電膜（通常low-k膜と称する）が用いられているが、これらの膜は400℃以下の低温で形成されているために、450℃以上ではクラックが発生してしまうことがある。これらのことから、SiN膜704の成膜は450℃以下の低温で行う必要があり、通常は低温での成膜が容易なプラズマCVDによって行っている。

【0029】半導体装置では、素子の微細化に伴い、STI構造における素子分離溝やゲート電極間の凹部等のアスペクト比が大きくなってきている。このようなアスペクト比の増大に伴い、いわゆる“す”を作らずに、凹部内にシリコン酸化膜等の絶縁膜を埋め込むことがしだいに難しくなっている。

【0030】そのため、HDP（High-Density Plasma）-CVD法やTEOS-O₂系のCVD法等の使用が試みられている。しかしながら、前者の方法では、下地へのプラズマダメージの問題、膜質が不均一になる問題、スループットが低いという問題等がある。また、後者の方法では、成膜後に膜質を改善するために高温処理が必要になるといった問題がある。

【0031】

【発明が解決しようとする課題】上述の如く、配線溝を埋め込むためのシリコン窒化膜の成膜方法として、Si原料としてジクロロシランを用いたLPCVD法が提案されている。

【0032】しかしながら、この方法で形成されたシリコン窒化膜(DCS-SiN膜)に対する層間絶縁膜(SiO₂膜)のCMPによる研磨速度が30程度であるため、配線溝外部の余剰なDCS-SiN膜をCMPによって除去する工程で、DCS-SiN膜が過剰研磨され、その結果として埋込み配線と下部キャパシタ電極との間のリーク電流が増加するなどの問題があった。

【0033】本発明の第1の目的は、上記事情を考慮してなされたもので、被覆率としては従来と変わることなく、かつシリコン酸化膜との間で選択比の取れるシリコン窒化膜を有する半導体装置およびその製造方法を提供することにある。

【0034】また、上述の如く、RIEストップ膜としてのDCS-SiN膜は、被覆率、エッチング選択比の点では良かったが、自然酸化膜除去の希弗酸工程において完全に除去できる程度に希弗酸に対するエッチングレートが大きくなく、また配線間容量の低減の観点からは誘電率が比較的大きくという問題があった。

【0035】本発明の第2の目的は、上記事情を考慮してなされたものであり、被覆率およびエッチング選択比として従来と変わることなく、誘電率が低く、かつ希弗酸に対するエッチングレートが大きい、シリコン酸化膜のエッチング時に用いるエッチングストップ膜として用いられるシリコン窒化膜を有する半導体装置およびその製造方法を提供することにある。

【0036】また、Cu配線のバリア膜としての、プラズマCVDによりシラン(SiH₄)とアンモニア(NH₃)を原料として成膜したSiN膜(プラズマSiN膜)は、誘電率が7程度と比較的大きい。また、370℃で成膜したプラズマSiN膜、Cu電極を用い、100℃、1(MV/cm)での高温バイアス試験を実施したところ、絶縁耐圧維持に必要な、Cuに対するSiN拡散・酸化バリア層の厚さは100nm程度であることが分かった。しかしながら、配線部分にこのように誘電率の大きなSiN膜を100nmの厚みで使用すると、配線間容量が著しく増大し、素子特性を損なってしまう。

【0037】本発明の第3の目的は、上記事情を考慮してなされたものであり、誘電率が低く、かつCuのバリア膜として用いられるシリコン窒化膜を有する半導体装置およびその製造方法を提供することにある。

【0038】また、上述のように、素子の微細化に伴い、高アスペクト比を有する凹部に埋め込み特性や膜特性に優れたシリコン酸化膜を形成することが困難になってきている。

【0039】本発明の第4の目的は、埋め込み特性や膜

特性に優れたシリコン酸化膜を高アスペクト比を有する凹部に形成することが可能な半導体装置およびその製造方法を提供することにある。

【0040】

【課題を解決するための手段】上記第1の目的を達成するために、本発明に係る半導体装置は、塩素濃度が $4 \times 10^{20} \text{ cm}^{-3}$ 以上であるシリコン窒化膜を有することを特徴とする。

【0041】本発明に係る半導体装置の製造方法は、Si原料としてSi-Si結合およびSi-Cl結合を含む化合物を用いたLPCVD法により、塩素濃度が $4 \times 10^{20} \text{ cm}^{-3}$ 以上のシリコン窒化膜を形成することを特徴とする。

【0042】また、本発明に係る他の半導体装置の製造方法は、表面に拡散層が形成された半導体基板上に、配線溝およびその下に前記拡散層に対してのコンタクトホールを有する絶縁膜を形成する工程と、前記拡散層の表面にバリアメタル膜を形成する工程と、前記コンタクトホールの内部を充填するとともに、前記配線溝の途中の深さまで充填する、前記拡散層と電気的に接続する埋込み配線を形成する工程と、前記配線溝の内部を充填するように前記配線溝を含む領域上に、上記半導体装置の製造方法によりシリコン窒化膜を形成する工程と、前記配線溝の外部の前記シリコン窒化膜を除去する工程とを含むこと特徴とする。

【0043】本発明のより具体的な構成は以下の通りである。

【0044】(1)シリコン窒化膜はシリコン過剰である。

【0045】(2)窒素/シリコンの比が1.33より小さいシリコン過剰である。

【0046】(3)シリコン窒化膜は溝の内部に形成されている。この溝のアスペクト比は、1以上の高アスペクト比である。

【0047】(4)Si原料としてSi-Si結合およびSi-Cl結合を含む化合物を用いたLPCVD法により、塩素濃度が $4 \times 10^{20} \text{ cm}^{-3}$ 以上のシリコン窒化膜を形成する。

【0048】具体的には、Si原料として、Si_nCl_{3n+2}(nは2以上の自然数)、またはSi_nCl_{2n+2-x}H_x(nは2以上の自然数、xは2n+2以下の自然数)なる化合物を用いる。より具体的には、Si₂Cl₆を用いる。また、窒素原料としてはNH₃を用いる。

【0049】(5)シリコン窒化膜の成膜温度を700℃以下に設定することにより、シリコン窒化膜の塩素濃度を $4 \times 10^{20} \text{ cm}^{-3}$ 以上にする。

【0050】(6)バリアメタル膜としてTi膜とTiN膜との積層膜を用い、シリコン窒化膜の成膜温度を700℃以下に設定する。また、配線溝のアスペクト比は、1以上の高アスペクト比である。

【0051】本発明者らの研究によれば、LPCVD法を用いたシリコン窒化膜の成膜方法において、Si原料としてSi、Cl、等のようにSi-Si結合およびSi-Cl結合を含む化合物を用いれば、シリコン酸化膜との間で研磨やエッチングに関して選択比の取れるシリコン窒化膜を実現できることが分かった。また、被覆率は、被覆性の良い成膜方法であるLPCVD法を用いているので従来と変わらない。

【0052】また、この種のSi原料を用いた場合には、700℃以下の低温の成膜温度でも、シリコン窒化膜の成膜速度を確保できることが分かった。したがって、バリア膜として、Ti/TiN膜を使用することができるようになる。また、このようなSi原料、成膜温度でもって形成したシリコン窒化膜の塩素濃度は $4 \times 10^{20} \text{ cm}^{-3}$ 以上であった。

【0053】また、成膜温度を600℃以下にすれば、シリコン過剰のシリコン窒化膜を形成できる。この種のシリコン窒化膜は密度が低く、シリコン酸化膜に対してより研磨速度が速くなる。

【0054】上記第2および第3の目的を達成するために、本発明に係る半導体装置は、エッチングストップ膜またはバリア膜として、塩素濃度が $1 \times 10^{21} \text{ cm}^{-3}$ 以上であるシリコン窒化膜を用いたことを特徴とする。

【0055】LPCVD法を用いたシリコン窒化膜の成膜方法において、Si原料としてSi、Cl、等のようにSi-Si結合およびSi-Cl結合を含む化合物を用いれば、シリコン酸化膜との間でエッチングに関して選択比の取れるシリコン窒化膜を実現できることが分かった。

【0056】このようなSi原料を用いて形成したシリコン窒化膜の塩素濃度は $1 \times 10^{21} \text{ cm}^{-3}$ 以上であった。また、被覆率は、被覆性の良い成膜方法であるLPCVD法を用いているので従来と変わらない。さらに、この種のSi原料を用いた場合、シリコン窒化膜の誘電率を小さくでき、シリコン窒化膜の希弗酸に対するエッチングレートを大きくでき、そしてCuに対するバリア性を高くできることが分かった。この点については、さらに実施形態の項で詳述する。

【0057】上記第4の目的を達成するために、本発明に係る半導体装置の製造方法は、半導体基板の主表面側の下地領域に形成された凹部内全体にシリコン窒化膜を形成する工程と、前記シリコン窒化膜を酸化して該シリコン窒化膜をシリコン酸化膜に変換することにより、前記凹部内全体に絶縁領域を形成する工程と、を有することを特徴とする。

【0058】本発明に係る半導体装置の製造方法は、半導体基板の主表面側の下地領域に形成された凹部内にシリコン窒化膜を形成する工程と、前記シリコン窒化膜を酸化して該シリコン窒化膜をシリコン酸化膜に変換する工程とを、成膜方向に向かって複数回繰り返すことによ

り、前記凹部内全体に絶縁領域を形成することを特徴とする。

【0059】上記製造方法の好ましい態様は、以下の通りである。

【0060】(1) 前記シリコン窒化膜はリンおよびボロンの少なくとも一方を含有しており、該シリコン窒化膜を酸化してリンおよびボロンの少なくとも一方を含有した前記シリコン酸化膜を形成する。

【0061】(2) 前記シリコン酸化膜は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上の塩素を含有している。

【0062】(3) 前記シリコン窒化膜は、 $9 \times 10^{20} \text{ cm}^{-3}$ 以上の塩素を含有している。該シリコン窒化膜の密度は 2.4 g/cm^3 以下、該シリコン窒化膜の比誘電率は7.3以下であることが好ましい。

【0063】(4) 前記シリコン窒化膜は、LPCVD法によって形成され、減圧化学気相成長に用いる原料ガスには、Si-Si結合およびSi-Cl結合を持つ化合物が含まれている。

【0064】(5) 前記化合物は、化学式が $\text{Si}_n\text{Cl}_{2n+2-x}\text{H}_x$ (nは2以上の整数、xは $2n+2$ より小さい正数)である。代表的には、ヘキサクロジシランがあげられる。

【0065】(6) 前記シリコン窒化膜は、450℃よりも低い温度で形成される。

【0066】本発明に係る半導体装置は、半導体基板の主表面側に形成された凹部を有する下地領域と、前記下地領域の凹部内全体に埋め込まれた塩素を含有するシリコン酸化膜とを有することを特徴とする。

【0067】本発明によれば、シリコン窒化膜、特に塩素を含有するシリコン窒化膜を酸化してシリコン酸化膜に変換することにより、凹部内に均一且つ均質にシリコン酸化膜を埋め込むことが可能となる。また、シリコン窒化膜に“す”が存在していたとしても、シリコン窒化膜をシリコン酸化膜に変換する際に体積膨張を伴うので、“す”のないシリコン酸化膜を得ることが可能となる。

【0068】また、シリコン酸化膜中に塩素を含有させることにより、他の膜との界面に存在するダングリングボンドを終端させることができ、リーク電流の低減等をはかることができる。

【0069】また、塩素を含有するシリコン酸化膜中に、さらにリンおよびボロンの少なくとも一方を含有させることにより、不純物のゲッタリング、エッチング時の選択性の向上、といった効果をさらに得ることができる。

【0070】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0071】(第1の実施形態) 図1および図2は、本発明の第1の実施形態に係る半導体装置の製造方法を示

す工程断面図である。これらの図は、DRAMセルのMOSトランジスタをチャンネル長方向と垂直な方向で切断した断面を示している。

【0072】まず、図1(a)に示すように、周知の方法により、シリコン基板101にn型ドレイン拡散層102等を形成してMOSトランジスタを完成させ、続いて層間絶縁膜(SiO₂膜)103を全面に形成する。

【0073】次に図1(b)に示すように、層間絶縁膜103にn型ドレイン拡散層102に対してのコンタクトホール104およびこのコンタクトホール104を介してn型ドレイン拡散層102に繋がる配線溝5を形成し、続いてシリコン窒化膜106を全面に形成する。

【0074】次に図1(c)に示すように、コンタクトホール104および配線層105の側壁以外のシリコン窒化膜106をRIEによって除去し、続いてイオン注入によりコンタクトホール104の底面の基板表面にTi層107を形成した後、CVD法によりTiN膜108を全面に形成する。

【0075】次に図2(d)に示すように、タングステン(W)の選択成長により、コンタクトホール104の底面から配線溝105の途中の深さまでの部分を充填するW埋込み配線109を形成する。配線溝105のうちW埋め込み配線109で埋め込まれていない部分(以下、単に溝という)の深さは150nm、幅は150nmであり、したがって溝のアスペクト比は1である。

【0076】このような構造は、全面にW埋込み配線109としてのタングステン膜を全面に形成し、次いでコンタクトホール104および配線溝105の外部の余剰なタングステン膜をCMPで除去し、次いで層間絶縁膜(SiO₂膜)を全面に形成し、そして配線溝105上に配線溝を形成することによっても得ることができる。

【0077】コンタクトホール104の底面に形成されたTi層107およびTiN膜108は、後工程の熱工程によってドレイン拡散層102とW埋込み配線109との反応を防ぐためのバリアメタル膜として働く。

【0078】Ti層107およびTiN膜108は、耐熱性の問題から700℃以上の高温で長時間の熱処理が施されると、その機能を保つことができない。そのため、シリコン窒化膜106の成膜条件を700℃未満の成膜温度にすることが必要である。

【0079】シリコン窒化膜106はLPCVD法を用いて形成する。その理由は、プラズマを用いたCVD法は被覆率が悪いために、配線溝105のアスペクト比が1以上になると、図41に示すように、配線溝105の中央に隙間が残り、絶縁性を確保できなくなるからである。他の理由は、プラズマを用いたCVD法で形成したシリコン窒化膜は、シリコンのRIE条件においてエッチング耐性が無く、マスクとしての機能を果たさないからである。

【0080】なお、LPCVD法の場合でも、原料ガス

としてシランとアンモニアとの混合ガスを用いた場合には被覆性が悪く、しかもウェハ面内での均一性も悪いという問題がある。一方、ジクロロシランもしくはテトラクロロシランのように水素が塩素で置換されたSi原料を用いる場合には被覆性が良く、アスペクト比が20程度でも被覆率を100%にすることができる。しかし、この種の原料ガスを用いたLPCVD法には、従来技術で説明した問題がある。

【0081】次に図2(e)に示すように、ウェットエッチングによりW埋込み配線109よりも上の部分のTiN膜108を除去した後、Si₂Cl₄(ヘキサクロロジシラン:HCD)とNH₃との混合ガスを用いたLPCVD法により、溝の内部を埋め込むようにキャップ絶縁膜としてのシリコン窒化膜(HCD-SiN膜)110を全面に形成する。

【0082】ここで、成膜温度は650℃、反応炉内圧は0.5 Torr、流量比はNH₃/Si₂Cl₄=2000 sccm/20 sccmである。この成膜条件での成膜速度は2.7 nm/minである。

【0083】最後に、図2(f)に示すように、溝外部の余剰なHCD-SiN膜110をCMPにより除去して表面を平坦化した後、周知の方法にしたがって図示しない下部キャパシタ電極、キャパシタ絶縁膜および上部キャパシタ電極を形成して、DRAMメモリセルが完成する。

【0084】キャパシタ絶縁膜としてはBa_xSr_{1-x}TiO₃等の高誘電率の金属酸化物からなる絶縁膜、下部および上部キャパシタ電極としては酸化されても金属導電性を示すSrRuO₃等の金属酸化物からなる導電膜を使用すると良い。また、キャパシタ絶縁膜と上部および下部キャパシタ電極とは、同じ結晶構造、例えばペロブスカイト構造であることが好ましい。

【0085】また、本工程のCMPでは、スラリーとしては小粒径シリカと磷酸2.5 wt%と水からなるものを用い、研磨パッド荷重は200 g重とする。

【0086】CMP後のウェハ面内9点平均の膜厚測定結果より、研磨速度は従来のシリコン窒化膜であるDCS-SiN膜が約60 nm/minであるのに対して、HCD-SiN膜110では約90 nm/minに増加する。すなわち、本実施形態によれば、選択比(シリコン窒化膜の研磨速度/シリコン酸化膜の研磨速度)を従来の30から45に増加させることができる。

【0087】このように選択比を大きくとれることから、CMPによるHCD-SiN膜110の研磨は層間絶縁膜103で停止し、層間絶縁膜3が多少除去されることはあってもW埋込み配線109が露出するという過剰研磨が起こらない。したがって、設計値通りの埋め込み形状および平坦性の高い加工を実現できるようになる。

【0088】また、本実施形態によれば、従来のDCS

-SiN膜と同等の高い被覆率を得ることができる。その理由は、成膜方法としてLPCVD法を用いているため、配線溝106の内部を均質に埋め込むことができることと、本実施形態でSi原料として使用しているSi、Cl。(ジシランの塩素化物)等の塩素化物の反応中間体は、その吸着確率が完全な水素化物に比べて小さくなっていることの2つが考えられる。

【0089】図3に、Si原料としてSi、Clを用いたLPCVD法により形成したシリコン窒化膜(HCD-SiN膜)中の塩素濃度の成膜温度依存性を示す。また、図には示していないが、Si原料としてジクロロシランを用い、成膜温度700℃でLPCVD法により形成したシリコン窒化膜(DCS-SiN膜)中の塩素濃度は 8×10^{19} であった。塩素濃度は2次イオン質量分析(SIMS)により求めた値である。

【0090】本実施形態では、成膜温度が650℃の場合について述べたが、Si原料としてSi、Clを用いる場合には、図3から1000/T=1.1程度以上で塩素濃度が直線的に低下することから、成膜温度を800℃以下にすれば、従来のSi原料であるジクロロシランを用いた場合よりも、塩素濃度の高いシリコン窒化膜110を形成することが可能であると考えられる。

【0091】ただし、本実施形態のように、埋込み配線部分にシリコン窒化膜110を形成する場合には、700℃よりも高い温度ではTi膜107、TiN膜108の耐熱性が持たないため、700℃以下で成膜することが望ましい。

【0092】HCD-SiN膜がDCS-SiN膜に比べてCl濃度が高い理由としては、次の二つが主な理由として考えられる。第1の理由は、HCD-SiN膜の方がDCS-SiN膜に比べて成膜速度が速いため、同じ温度で同じ膜厚の条件であれば、短い成膜時間で済み、その結果として成膜中に膜中から失われるCl量が少なくて済むからである。HCD-SiN膜とDCS-SiN膜とで成膜速度が異なるのは、Si-Si結合の解離が成膜に有利に働いているためであると考えられる。

【0093】結合エネルギーから大雑把に議論すると、Si-Cl結合は4.16 eVとHCD+NH₃系を用いた場合に考えられる結合種の中で最も高エネルギーであるため、仮に成膜時にDCS-SiN膜およびHCD-SiN膜の表面にそれぞれ同数のCl原子が吸着していたとすると、切れにくいSi-Cl結合は成膜速度の速いHCD-SiN膜中においてより多く含まれることになる。

【0094】第2の理由は、HCD-SiN膜の方がより低い温度でも成膜できるからである。図3に示したように、成膜温度が低くなるほどCl濃度が高くなり、また450℃未満では成膜速度のより大きな条件(NH₃/HCD=1000/50)でよりCl濃度が高くなっ

ていることが分かる。

【0095】図4に、C-V測定により求めたHCD-SiN膜の誘電率と成膜温度との関係を示す。なお、図中、白抜きの□は原料としてアンモニアとHCDを用い、黒塗りの□はこれらの原料にさらに窒素(N₂)を成膜中に流したデータを示している。

【0096】図から、HCD-SiN膜の誘電率は700℃以下の成膜温度において、通常のシリコン窒化(Si₃N₄)膜の誘電率(=7.8)よりも低いことが分かる。例えば、黒四角で示した450℃形成のHCD-SiN膜は、図中に点線で示したP-CVD-SiNと比較して20-30%誘電率が低い。黒四角で示した450℃形成のHCD-SiN膜は、550℃乃至700℃で形成した白丸で示したHCD-SiN膜(アンモニア流量(R[SCCM])=100、0.5 Torr、誘電率=7.3)と比較して、誘電率が5.4と小さい。また、白四角は1.4 Torr、R=100のHCD膜である。また、450℃以下の成膜温度においては、誘電率が6以下と非常に小さい。この値は、プラズマシリコン窒化膜(p-SiN膜)の誘電率(=7程度)よりも小さい。誘電率が小さいことから、配線容量を著しく減少させることが可能となり、いわゆる多層配線部分に上記のHCD-SiN膜を絶縁膜として使用する場合には大きな利点になる。また、600℃以上と450℃以下とでは異なる試料を用いたが、同じ試料を用いても同様な結果が得られた。なお、図4は成膜中に窒素を流していないHCD-SiN膜の結果であるが、窒素を流した場合でも誘電率には大差は無い。

【0097】図5に、シリコン窒化膜中の塩素濃度と研磨速度との関係を示す。図から研磨速度は塩素濃度に比例して速くなることが分かる。その理由は、塩素濃度が高いほど、Si-Nからなるネットワーク中にイオン半径の大きな塩素イオンが多数存在することによって、ネットワークがより乱されるからだと考えられる。すなわち、塩素濃度が高いほど密度の小さいシリコン窒化膜が形成され、その結果としてCMPによる研磨速度が速くなると考えられる。

【0098】ここでは、CMPでシリコン窒化膜を除去する場合について説明したが、RIEの場合には以下のような結果が得られた。

【0099】すなわち、図6に示すように、成膜温度700℃で形成したDCS-SiN膜に対し、HCD-SiN膜の方がいずれの成膜温度でもエッチング速度が遅いことが分かった。

【0100】したがって、本実施形態のHCD-SiN膜10は、従来のDCS-SiN膜に比べて、下部キャパシタ電極をn⁺型ソース拡散層2と接続するための接続孔をRIEで層間絶縁膜3に形成する際に使用するマスクとしてより適しているといえる。

【0101】なお、図6(a)はコンタクトホール開口

のエッチング条件、図6(b)はチーバ加工のエッチング条件での結果をそれぞれ示している。

【0102】図7に、HCD-SiN膜に対するTEOS酸化膜のRIEの選択比(TEOS酸化膜エッチング速度/HCD-SiN膜エッチング速度)の成膜温度およびアンモニア流量(R[SCCM])の依存性を示す。図には、成膜温度700℃で形成したDCS-SiN膜に対するTEOS酸化膜のRIEの選択比も示してある。ここで、黒丸はDCSを材料として、0.5 Torr、アンモニア/DCS流量比(以下Rと略す)を100として、600℃、650℃、700℃で成膜した時のエッチング選択比で、いずれも7程度が得られている。これに対し、黒四角、黒三角は、それぞれHCDを材料とし、1.4 Torr、アンモニア/HCD流量比(以下Rと略す)を50、20とした時の選択比で、何れも450℃の低温であるにもかかわらず、選択比6程度が得られることが判明した。また、図から、RIEの場合には、アンモニア流量(R)や成膜温度に関係なく、DCS-SiN膜とほぼ同様の選択比が得られることが分かる。

【0103】図8に、HCD-SiN膜の成膜速度の成膜温度依存性を示す。図から、HCD-SiN膜の場合には、成膜温度250℃でも十分な成膜速度を確保できることが分かる。

【0104】したがって、本実施形態のように、成膜温度650℃でシリコン窒化膜110を形成すれば、バリアメタル膜としてのTiN膜108の機能を失わずに、シリコン窒化膜110の成膜速度を確保できる。

【0105】また、本実施形態では、埋込み配線が途中の深さまで形成された配線溝105の内部を埋め込むようにシリコン窒化膜を形成する場合について述べたが、本発明は次世代の半導体装置で現れる溝、例えば種々の積層膜構造が途中の深さまで埋め込まれた溝に対しても有効である。

【0106】具体的には、酸化膜/ポリシリコン膜/タングステン膜の積層膜(ポリメタルゲート)によって途中まで埋め込まれている、シリコン酸化膜に形成された溝があげられる。

【0107】また、本実施形態では、Si原料としてSi₃Cl₈を用いた場合について説明したが、塩素濃度の高いシリコン窒化膜を形成する場合には、Si₃Cl₈、Si₄Cl₁₀などSi-Si結合を1つ以上持つ塩化物、Si_nCl_{2n+2}(ただし、n=2以上)などのSi原料を用いても同様の効果が得られる。

【0108】(第2の実施形態)第1の実施形態では、塩素濃度の高いシリコン窒化膜を形成する場合について説明したが、本実施形態では、塩素濃度が高く、かつシリコン過剰なシリコン窒化膜の形成方法について説明する。なお、工程断面図は第1の実施形態と変わらないので、図1および図2を用いて説明する。

【0109】まず、第1の実施形態と同様にして図2(d)の工程まで行い、続いて図2(e)に示すように、Si₃Cl₈とNH₃との混合ガスを用いたLPCVD法により、配線溝106の内部を埋め込むようにシリコン窒化膜(HCD-SiN膜)8を全面に形成する。

【0110】ここで、成膜温度は600℃、反応炉内圧は0.5 Torr、流量比はNH₃/Si₃Cl₈=2000 sccm/20 sccmである。この成膜条件での成膜速度は1.4 nm/minである。

【0111】次に図2(f)に示すように、第1の実施形態と同じ条件で、配線溝外部の余剰なHCD-SiN膜110をCMPにより除去して表面を平坦化する。

【0112】CMP後の膜厚測定結果より、本実施形態の方法で形成したHCD-SiN膜110の研磨速度は、従来のSi原料としてジクロロシランを用いた方法で形成したDCS-SiN膜に比べて、速いことが分かった。

【0113】このように本実施形態によれば、研磨速度を速くできることから、シリコン窒化膜に対する選択比を大きく取れ、CMPによる研磨はシリコン窒化膜で停止できる。そのため、過剰研磨が抑制され、設計値通りの埋め込み形状を実現できるとともに、平坦性の高い加工を行えるようになる。

【0114】図9に、本実施形態の方法において成膜温度を変えて形成した各シリコン窒化膜中のシリコンの結合状態を、光電子分光測定(XPS)による表面分析にて調べた結果を示す。図から、本実施形態の方法によれば、成膜温度が変わってもSi-N結合を有するシリコン窒化膜が形成されていることが分かる。

【0115】図10に、本実施形態の方法において成膜温度を変えて形成した各シリコン窒化膜のN/Si比を化学分析にて調べた結果を示す。

【0116】図から、成膜温度が700℃以下であれば、化学量論比を有するシリコン窒化膜(Si₃N₄膜)よりもシリコン過剰(N/Si≦1.33)のシリコン窒化膜(HCD-SiN膜)を形成できることが分かる。また、図から、HCD-SiN膜はDCS-シリコン窒化膜よりもシリコンリッチであることが分かる。

【0117】Si-Si結合距離は0.225 nmでSi-N結合距離0.157 nmよりも長いので、シリコン過剰なシリコン窒化膜が形成されると、Si-Nからなるネットワークが大きく乱されると考えられる。すなわち、シリコン過剰なシリコン窒化膜ほど密度が小さく、CMPによる研磨速度が速くなる。また、図3で示したように膜中の塩素濃度も高くなる。

【0118】図11に、本実施形態の方法において成膜温度を変えて形成したHCD-SiN膜の密度および成膜温度700℃で形成したDCS-SiN膜の密度を調べた結果を示す。

【0119】密度は以下のようにして調べた。まず、DHF 溶液で溶解するべき領域以外のシリコン窒化膜表面をHF 耐性のあるテープで覆った。次に、一辺が6 cm の正方形の領域のシリコン窒化膜表面をDHF 溶液で溶解させた。この後、DHF 溶液中のシリコンおよび窒素の重さを求めて密度を求めた。

【0120】図中、成膜温度700℃の黒四角はDCS-SiNであり、他の3点はHCD-SiNである。ここで、DCS-SiNはアンモニア流量($R[SCC M]$)=10であり、HCD-SiNは $R=100$ である。

【0121】図から、成膜温度が低いほど密度の低いHCD-SiN膜が得られることが分かる。HCD-SiN膜は、DCS-SiN膜とは異なり、700℃よりも低い成膜温度でも成膜レートの低下は顕著では無く、実用的な成膜時間で成膜することができる。したがって、成膜温度を低くすることによって、DCS-SiN膜よりも密度の低いHCD-SiN膜を容易に得られる。

【0122】また、 NH_3 と Si_2Cl_2 の流量比(NH_3/Si_2Cl_2)を10以下に下げることによって、成膜温度700℃、炉内圧0.5 Torrにおいてもシリコン過剰な膜を形成することが可能である。

【0123】ただし、シリコン過剰になると電導性も増加するため、流量比を小さくしすぎると絶縁性が保てなくなるので、希望の性能を満足する程度に流量比を設定する必要がある。

【0124】また、原料としては Si_2Cl_2 のみ述べたが、塩素濃度が高く、かつシリコン過剰であるようなシリコン窒化膜を形成するには、 Si_2Cl_2 、 $SiCl_4$ など $Si-Si$ 結合を1つ以上持つような塩化物、 Si_nCl_{2n+2} (ただし、 $n=2$ 以上)などのSi原料を用いても同様の効果が得られる。

【0125】(第3の実施形態)素子の微細化とともにゲート電極の低抵抗化が必要である。そこで、次世代では現在のポリメタルゲート構造からメタルゲート電極に変更することが必要となる。一方、エッチングによる金属膜の微細加工は困難であることから、メタルゲート電極の形成にはダマシゲートプロセス(A. Yagishita, et.al., IEDM Tech Digest, 1998:p.785.)が用いられ、またメタルゲート電極が埋め込まれる溝の形成に際してダミーゲートが必要になる。以下、図12～図4を参照して、本発明の第3の実施形態に係るメタルゲート電極を用いたMOSトランジスタの製造方法について説明する。

【0126】まず、図12(a)に示すように、シリコン基板121の表面に浅い溝を形成し、続いて全面に熱酸化膜122を形成した後、溝内に素子分離絶縁膜123を埋込み形成することによって、STI(Shallow Trench Isolation)による素子分離を行う。素子分離絶縁膜123は原料にTEOSを用いて形成した酸化膜であ

る。

【0127】次に図12(b)に示すように、LPCVD法を用いて通常の条件で厚さ150 nmの多結晶シリコン膜124を形成する。

【0128】次に同図(b)に示すように、本発明の原料である Si_2Cl_2 、 $+NH_3$ 系ガスをを用い、流量比(NH_3/Si_2Cl_2)=1000/10、成膜温度550℃、成膜圧力1.4 TorrとしてLPCVD法により、厚さ150 nmのHCD-SiN膜125を多結晶シリコン膜124上に形成する。

【0129】ここで、本実施形態のシリコン窒化膜であるHCD-SiN膜125は500℃という低い成膜温度でもって形成するが、従来のシリコン窒化膜であるDCS-SiN膜は、通常、700～780℃程度の高い成膜温度でもって形成する。

【0130】上記成膜条件(流量比、成膜温度、成膜圧力)では、成膜速度は1.5 nm/minであるので、成膜時間は100 minとなる。 Si_2Cl_2 の分圧比を増加させることで、例えば全圧を増加させたり、もしくは NH_3 流量を減少させることで、成膜速度をさらに速めることも可能である。

【0131】次に図12(c)に示すように、フォトリソグラフィまたはEB描画を用いてレジストパターン126を形成し、このレジストパターン126をマスクにしてHCD-SiN膜125および多結晶シリコン膜124をRIE法にてエッチングして、HCD-SiN膜125と多結晶シリコン膜124との積層膜からなるダミーゲート127を形成する。この後、レジストパターン126を剥離する。

【0132】次に図13(d)に示すように、厚さ6 nm程度の後酸化膜128を熱酸化により形成した後、HCD-SiN膜125をマスクにしてイオン注入を行って、低不純物濃度で浅い拡散層(LDD)129を形成する。拡散層129の導電型がn型の場合には、例えばAsイオンを加速電圧1 KeV、ドーズ量 $3 \times 10^{14} cm^{-2}$ の条件でもって注入する。

【0133】次に図13(e)に示すように、従来の原料であるジクロロシラン系を用いLPCVD法により、ゲート側壁DCS-SiN膜130となる厚さ70 nmのDCS-SiN膜を全面に形成した後、このDCS-SiN膜をRIE法にて全面エッチングすることによってゲート側壁DCS-SiN膜130を形成する。ここで、成膜条件は、例えば成膜温度が700℃、成膜圧力が0.5 Torr、流量比(NH_3/SiH_2Cl_2)が500/50である。

【0134】次に同図(e)に示すように、ゲート側壁DCS-SiN膜130およびHCD-SiN膜125をマスクにしてイオン注入を行って、高不純物濃度のソース/ドレイン拡散層131を形成する。ソース/ドレイン拡散層の導電型がn型の場合には、例えばAsイオ

ンを加速電圧45 KeV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ の条件でもって注入する。

【0135】なお、浅い拡散層129、ソース/ドレイン拡散層131中の不純物の活性化アニールは注入直後に毎回行っても良いし、全てのイオン注入が終了した後に一括して行っても良い。

【0136】次に図13(f)に示すように、原料にTEOS系を用いたPCVD法により厚さ350nm程度の層間絶縁膜132を全面に形成した後、CMP法により層間絶縁膜132を研磨して表面を平坦にする。このとき、HCD-SiN膜125はCMPストップパとして働く。

【0137】次に図14(g)に示すように、160°Cの熱燐酸溶液を用いてHCD-SiN膜125を選択的に除去し、続いてCDE法を用いて多結晶シリコン膜124を除去した後、希弗酸溶液を用いてその下の熱酸化膜122を除去する。

【0138】ここで、本実施形態の場合には、ダミーゲート127を構成するシリコン窒化膜としてHCD-SiN膜125、ゲート側壁絶縁膜としてゲート側壁DCS-SiN膜130を用いているので、後述するように成膜温度を制御することによって、HCD-SiN膜125に対するゲート側壁DCS-SiN膜130のウェットエッチングの選択比を高く取ることができる。

【0139】このようにダミーゲート127を構成するシリコン窒化膜に対するゲート側壁絶縁膜のウェットエッチングの選択比が高いことが重要である。何故なら、両者が同時にエッチングされてしまうと、多結晶シリコン膜124をCDE法により除去する工程で、シリコン基板121にダメージが入ったり、もしくは最悪の場合にはシリコン基板121が研削されてしまうからである。

【0140】図15に、従来技術のみを用いて、ダミーゲート127およびゲート側壁絶縁膜を形成した場合の図14(g)の断面図に相当する断面図を示す。図に示すように、従来技術のみでは、シリコン基板121が研削されるという問題が起きる。このような問題が起きるのを防止するために、本実施形態のようにダミーゲートとゲート側壁絶縁膜との間で、処理に用いられる薬液に対して選択比が取れるようにすることが必要になる。

【0141】ここで、図16に、本発明によるヘキサクロロシランを用いて形成したシリコン窒化膜(HCD-SiN膜)の希弗酸(水:HF=200:1)によるエッチングレートの成膜温度依存性を示す。なお、成膜温度550°C以下において成膜圧力を1.4 Torrとしているのは、試料であるHCD-SiN膜を形成するのに要する所要時間を短くするためである。

【0142】図より明らかなように、低温で成膜するほどエッチングレートが大きくなっていることが分かる。

また、成膜温度700°Cで形成したDCS-SiN膜の

希弗酸(水:HF=200:1)によるエッチングレートは0.19nm/minである。したがって、成膜温度600°Cおよび450°Cで形成したHCD-SiN膜の成膜温度700°Cで形成したDCS-SiN膜に対する選択比はそれぞれ1.6および1.19、本実施形態で述べた成膜温度550°Cの場合では選択比2.4を実現できる。

【0143】また、薬液として熱燐酸を用いた場合、成膜温度650°Cで形成したHCD-SiN膜の成膜温度700°Cで形成したDCS-SiN膜に対する選択比は3.7であることが分かっている。すなわち、熱燐酸に対しても希弗酸で見出された傾向(成膜温度とともに薬液によるエッチングレートが増大する。)が同様に起こると考えられる。

【0144】また、図17に示すように、Si原料としてSi、Cl系を用いた場合、シリコン窒化膜の成膜中に窒素(N₂)を流すと、流さない場合に比べてエッチングレートが2倍弱大きくなる。

【0145】この値は、成膜温度700°Cで形成したDCS-SiN膜に対する選択比にして2.40程度取れることになる。他の成膜温度で形成したDCS-SiN膜に関しても同様の効果があると考えられ、したがって成膜温度を制御することでHCD-SiN膜およびDCS-SiN膜のウェットエッチングレートを操作でき、選択比を大きく取れると考えられる。

【0146】以上より明らかなように、ダミーゲートのシリコン窒化膜には本発明によるHCD-SiN膜を用い、ゲート側壁絶縁膜には従来技術によるDCS-SiN膜を用いることにより、ウェットエッチングを行う際の選択比を大きく取ることができる。

【0147】このようにしてCDE工程によって多結晶シリコン膜124の除去工程においてゲート側壁DCS-SiN膜130の膜減を効果的に抑制でき、CDE工程の際に基板ダメージ等の問題を招かずに済む。また、多結晶シリコン膜124およびHCD-SiN膜125はそれぞれ適切なエッチングで除去できるので、ダミーゲート127は容易に除去できることになる。

【0148】本実施形態では、ダミーゲート127として従来と同様に多結晶シリコン膜124とHCD-SiN膜125の積層膜を用いている。多結晶シリコン膜124は、HCD-SiN膜125をエッチング除去する際に、ゲート側壁DCS-SiN膜130も同時にエッチングされてしまうことを確実に抑制するために形成している。

【0149】しかしながら、ダミーゲート27とゲート側壁DCS-SiN膜130との選択比が確実に十分取れる場合には必要はなくなる。すなわち、本実施形態の場合、HCD-シリコン窒化膜125とゲート側壁DCS-SiN膜130との間でもともと選択比が取れるので、ダミーゲート127をHCD-シリコン窒化膜12

10

20

30

40

50

5のみとした構造も可能である。この場合、多結晶シリコン膜124の成膜工程、CDEによる除去工程および後酸化膜128の成膜工程(図13(d))が不要になる。

【0150】次に図14(h)に示すように、ダミーゲート27を除去して生じた溝内にゲート絶縁膜133を形成する。ゲート絶縁膜133としては、例えばTa₂O₅や(Ba, Sr)TiO₃などの強誘電体からなる絶縁膜が考えられる。

【0151】ここでは、Ta₂O₅膜を用いた場合について具体的に説明する。まず、基板表面に酸素ラジカルを照射して厚さ0.2~0.3nm程度のSiO₂膜(不図示)を形成し、次にアンモニア、シラン等を用いて厚さ0.6nmのシリコン窒化膜(不図示)を形成する。この後、シリコン窒化膜上にゲート絶縁膜133としての厚さ1nm程度のTa₂O₅膜を形成する。

【0152】最後に、図14(i)に示すように、ゲート電極としての厚さ10nm程度のTiN膜134と厚さ250nm程度のAl膜135を溝の内部を充填するように全面に堆積した後、溝の外部の余剰なゲート絶縁膜133、TiN膜134およびAl膜135をCMPで除去して表面を平坦にすることによって、MOSトランジスタが完成する。

【0153】なお、第1~第3の実施形態では、いわゆるM0部分(シリコン基板上からコンタクトを取る部分)の下部キャパシタ電極とプラグ電極との短絡を防止するためのシリコン窒化膜の場合について説明したが、本発明は他の目的のためのシリコン窒化膜にも適用できる。

【0154】(第4の実施形態)図18は本発明の第4の実施形態に係る半導体装置の製造工程を示す工程断面図である。これらの図は、DRAMセルのMOSトランジスタおよびコンタクト開口部をチャンネル幅方向と垂直な方向で切断した断面を示している。

【0155】図18(a)では、シリコン基板201上に、図示しないゲート絶縁膜を介して、ポリシリコン膜208、WN(窒化タングステン)膜209、W(タングステン)膜210、SiN膜212が積層され、所望領域のみをRIEにより選択的に残したゲート電極200をマスクとして、イオン注入により、n⁺層形成用に15keV、5¹³cm⁻²の条件でAsイオンが注入され、ゲート電極200の両側にソース領域206、ドレイン領域207がそれぞれ形成されている。

【0156】次にDCSを原料とする減圧化学気相成長(LPCVD)法によりシリコン基板201全面にSiN膜を形成し、エッチバックすることにより、ゲート電極200の側壁のみにSiNからなるゲート側壁絶縁膜211を形成する。

【0157】このようにして、シリコン基板201ゲート電極200およびゲート側壁絶縁膜211からなり、

アスペクト比2が程度で、セル部分での最も狭いスペースが0.15ミクロン程度の段差構造を持つ下地が完成する。

【0158】この下地上に、LPCVD法によりSi₃C₄(ヘキサクロルジシラン、以下HCDと略記する)とアンモニア(NH₃)を原料ガス、窒素(N₂)をキャリアガスとして、成膜温度が450℃、反応炉内圧が1.4Torr、流量比がアンモニア:HCD:窒素=1000sccm:50sccm:50sccmの条件により、SiN膜213を15nm形成する(このSiN膜をHCD-SiN膜と称する)。このHCD-SiN膜は後の層間絶縁膜へのコンタクト開口時にRIEストッパー膜となる(図18(b))。

【0159】上記の成膜条件でのHCD-SiN膜の成膜速度は2.6(nm/min)であった。ちなみに、成膜時に窒素は流さなくても成膜可能であった。

【0160】また、先に示した図7から、RIE選択比は、HCDを用いた場合も従来のDCSを用いたSiN膜とほぼ同程度であることから、HCDを用いたSiN膜の場合もストッパーとしての膜厚は従来と同じ15nmで問題ない。

【0161】次に層間絶縁膜220としてBPSG膜を成膜し、次にH₂とO₂とを含む雰囲気中で800℃の熱処理(2H₂+O₂→2H₂O(水蒸気))を行って層間絶縁膜220を緻密化し、次にSiN膜213をCMPストッパーとして、CMPにより層間絶縁膜220の表面を370nm程度除去し、層間絶縁膜220の表面を平坦化した。

【0162】次に、平坦化が終わった時点でレジスト塗布、露光、現像を行い、図示しないレジストをマスクにして、層間絶縁膜220(BPSG)をRIEによりエッチングし、コンタクトホール214を開口する(図18(c))。

【0163】この際、SiN膜(HCD-SiN膜)213はBPSGと比較してエッチングレートが遅いためRIEストッパーとして作用し、RIEが停止する。上記RIEストッパーであるHCD-SiN膜は、上記のセル部分でのコンタクト開口のほか、周辺部分でコンタクトを開口する際にもRIEストッパーとして用いることができる。

【0164】次いでガス条件を切り替えてコンタクトホール214の底面のSiN膜213をRIEする。しかし、この際、下地のシリコン基板201をエッチングしない程度の弱いエッチング条件に押さえる必要があるため、SiNの膜残りが発生してコンタクトを取れない部分が生じる。この膜残りは、次工程でコンタクトプラグとなるポリシリコンの埋め込み成膜の前処理として自然酸化膜1nm相当を除去するために行う希硫酸処理で除去する(図18(d))。

【0165】先に示した図16から、550℃以上(成

膜時圧力: 0.5 Torr) で成膜したHCD-SiNのエッチングレートは20 (オングストローム/min)、すなわち、2 (nm/min) 程度と低い。450℃で成膜したHCN-SiNはエッチングレートが20 (nm/min) 以上と、自然酸化膜の20倍以上とれる。

【0166】このため、図18(d)の工程でのSiNエッチング時にRIEのエッチング面内不均一性があったとしても、希弗酸による前処理で残っていたSiN膜も同時に全て除去することが可能になり、SiNの膜残りによるコンタクト不良は回避可能になる。

【0167】ちなみに、図16は成膜中に窒素(N₂)を流していないHCD-SiN膜の結果である。窒素を流した場合、例えば450℃では1/200希弗酸によるエッチングレートは45nm/minに増大するので、更にエッチングは容易になる。

【0168】本発明者らの確認したところでは、HCD-SiN膜は450℃で2 (nm/min) の成膜速度*

$$(\epsilon - 1) / (\epsilon + 2) = \{ (N_0 \times \alpha) / (3 \times \epsilon_0) \} \times (\rho / M)$$

…Clausius-Mossottiの式

ここで、 ρ は密度、 ϵ は誘電率、 M は分子量、 α は分極率である。また、 ϵ_0 は真空誘電率、 N_0 はアボガドロ数であり、何れも定数である。この式から、一般には密度と誘電率は比例関係にあることがわかる。すなわち、上記の様に低誘電率のHCD-SiN膜が実用できたのは、低密度のHCD-SiN膜が実現できたことによると考えられる。

【0173】一方、前述したようにHCD-SiN膜はRIEストッパーとして機能するために必要な膜厚はDCS-SiN膜と同じで、かつ誘電率がそれよりも小さいことから、従来のDCS-SiN膜に比べて同一のRIEバリア性を確保した上で、配線間容量を著しく低減することができる。

【0174】また、トランジスタ特性を考えた時、ゲート絶縁膜界面の界面準位が水素シンターによって減少し、トランジスタの保持時間が増加することが一般的に知られている。これはシリコンダングリングボンドが水素によって終端されることによりリーク電流の原因となる欠陥が減少するためだといわれている(ターミネーション効果)。

【0175】HCD-SiN膜は、従来のLP-SiN膜に比べて膜中水素が $1 \times 10^{22} \text{ cm}^{-3}$ と多く、かつ成膜温度より高温でその水素を脱ガスするため、より顕著なターミネーション効果がある。

【0176】図19は、HCD-SiN膜のSIMSによる深さ方向の元素プロファイルを、1000℃、30分の熱処理前後について示した図である。この図は、表面からスパッタエッチングを行ってその部分のSIMSによる水素、塩素各原子の原子カウント数(CPS)を調べたものであり、横軸に時間(分)、縦軸にカウント

*が得られ、780℃でのDCS-SiN膜の3 (nm/min) よりもやや小さいが十分実用可能であることが分かった。なお、同時に確認したプラズマSiN膜は370℃で100 (nm/min) と成膜速度はもっとも速かった。

【0169】上記の様にHCDを用いて450℃程度の低温でSiNを形成することにより、低密度で、低誘電率のSiNを得ることが可能になった。

【0170】ここで、誘電率が小さいのは、密度が小さい事と密接に関連している。すなわち、誘電率と密度は、下記のClausius-Mossottiの式に従うと考えられる。

【0171】なお、下記のClausius-Mossottiの式は、Ashcroft, Mermin著のSolid State Physics (Saunders College社(1976))のP542によった。

【0172】

数(CPS: 1秒あたりのカウント数)を示している。なお、熱処理前を実線、熱処理後を点線で示した。この図の横軸の0分乃至9分程度の範囲がHCD-SiN膜に相当する部分である。

【0177】ここに示した様に、水素は、熱処理により 1.5×10^7 CPS程度から 4×10^7 CPS程度に2桁以上減少していることが確認された。また、塩素(C1)は熱処理前後で有意な変化は見られなかった。

【0178】なお、ここで、アニール前のH濃度は $1 \times 10^{22} \text{ cm}^{-3}$ に相当し、アニール後のH濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 以下(検出限界以下)に相当する。また、塩素濃度は $1 \times 10^{21} \text{ cm}^{-3}$ に相当する。このようにHCD-SiN膜はアニールで大量の水素を脱ガスするので、効果的にシリコンダングリングボンドをターミネートすることが可能と思われることが分かった。

【0179】プラズマを用いた化学気相成長(P-CVD)法もしくはシランとアンモニアを原料とする減圧化学気相成長(LPCVD)法で成膜したSiN膜では上述したように段差被覆率が悪く、アスペクト比2程度の溝上に成膜すると、段差部の最上部で厚く、下部および側壁で薄くなったり、また最上部のエッジ部分でオーバーハングした部分ができたりしてしまうことがある。

【0180】このような状態になると、層間絶縁膜形成時にそのオーバーハング部下部への原料ガスの回り込みが困難となり層間絶縁膜(BPSG等)を埋め込むことができなくなってしまう。また上記のSiN膜では、膜質が均質でなくエッジ部分でストッパーとしての機能が充分とれない。

【0181】これに対し、ジクロロシラン(DCS)もしくはテトラクロロシランのようにシランの水素が塩素

で置換されたシリコン原料を用いる場合には段差被覆率が良く、アスペクト比が20程度でも被覆率が100%になる。しかし、この効果はシラン系の元素に限られるものではなく、本発明者らが確認したところでは、ジシランの塩素化物であるHCDを用いたLPCVD法によっても段差構造を均質に被覆率良く成膜できることが分かった。

【0182】本実施形態においては、RIEストップパーとしてのSiN膜にHCD-SiN膜を用いた例についてのみ述べた。しかしながら、HCD-SiN膜の誘電率削減効果は、ゲート電極上のSiN膜212もしくはゲート側壁のSiN膜211にも有効である。すなわち、これらのSiN膜としてHCD-SiN膜を成膜することにより、低誘電率のSiN膜が得られるので、配線間容量を低減させることが可能である。

【0183】また、本実施形態では、ゲート電極としてポリシリコン/WN/Wの積層構造からなるものを例に挙げたが、これに限ることは無く、メタルのみから形成されるメタルゲート電極、ポリシリコンのみからなる電極でもよいことは言うまでも無い。

【0184】(第5の実施形態)図20は本発明の第5の実施形態に係る半導体装置の製造工程を示す工程断面図である。これらの図は、半導体装置に用いるCu配線近傍を配線の長手方向に垂直な方向で切断した断面図である。

【0185】TEOS層間酸化膜203の配線溝中にバリアメタル膜としてTa₂N(窒化タンタル)膜204、金属配線201'としてCuが埋め込まれ、CMPにより表面が平坦化された下地(配線層)が形成されている(図20(a))。

【0186】この下地上に、LPCVD法により、Si、Cl。(HCD、ヘキサクロルジシラン)とアンモニア(NH₃)を原料ガスとして、成膜温度を450℃、反応炉内圧を1.4 Torr、流量比をアンモニア:HCD:窒素=1000sccm:50sccm:50sccmとした条件で、SiN膜205を10nm形成した(図20(b))。

【0187】このSiN膜205の耐圧を確認するために以下の試験を行った。試験用のサンプルは、シリコン基板上にSiN膜を所定膜厚形成し、その上にCu膜を形成した。この、シリコン基板とCu膜に所定の電圧を印加し、リーク電流の経時変化を測定し、その結果を図21に示す。

【0188】図21は、シリコン基板上にSiN膜として厚さ50nmのP-SiN膜、厚さ10nmのHCD-SiN膜、厚さ50nmのHCD-SiN膜の何れかをを用い、100℃で、1(MV/cm)の電圧を印加した時のリーク電流(Leakage current (アンペア)の経時変化を横軸に印加時間(Stress time (分)、縦軸にリーク電流をとって示し

た。いわゆるバイアス-温度ストレステスト(BTテスト)の測定結果である。

【0189】なお、通常Cuの拡散はCu¹⁺イオンによるといわれており、バイアスはシリコン基板中にCu²⁺が拡散するようにCu電極が高電位となる条件でかけている。図中、縦軸がリーク電流、横軸がストレスをかけた時間になっており、より長い時間破壊していない(リーク電流が安定している)膜がバリア性が高いといえる。図より明らかなように、HCD-SiN膜は、膜厚が50nmおよび10nmのいずれの場合にも、プラズマSiN膜よりもCuの拡散に対してバリア性があることが分かる。

【0190】なお、ここで破壊とはリーク電流が急激に変化する点を意味し、21から厚さ50nmのP-SiN膜では13分程度、厚さ10nmのHCD-SiN膜では1000分程度、厚さ50nmのHCD-SiN膜では5000分以上である。

【0191】HCD-SiN膜がプラズマSiN膜よりも薄くてもバリア性が高い理由は膜中Cl濃度が高いためであると考えられる。

【0192】図22に、破壊に要する時間(Break Time)を縦軸に、膜中Cl濃度(Cl concentration)を横軸にとってプロットした図を示した。22から分かるようにCl濃度が高いほど破壊に至るまでの時間が長くなっている。すなわちP-SiN膜では、塩素(Cl)含有原料を用いないのでClはまったく入っておらず破壊に至るまでの時間が非常に短いに対し、HCD-SiN膜では、Cl濃度は $3.4 \times 10^{21} \text{ cm}^{-3}$ に達しており、破壊に至る時間は1000分を超えていた。

【0193】ここで、Clは電気陰性度が大きく負に帯電しているため、Cu¹⁺拡散種がClサイトにトラップされることにより、より長い時間破壊されなかったと考えられる。また、図4に示したように低温成膜したHCD-SiN膜は誘電率が5.4と小さいことが分かっている。つまり、HCD-SiN膜を用いると、誘電率の小さな膜をより薄膜で使用しても高い絶縁耐圧を得ることが可能である。このことによる配線間容量の低減は従来のDCS-SiN膜と比較して約20%になる。

【0194】なお、第4、第5の実施形態に係る発明の実施は上記に記載の半導体装置ないしはその製造方法に限ることは無く、広く低誘電率を求められる絶縁膜、高耐圧を求められる絶縁膜に適用可能である。例えば、1GBT等のパワー素子に適用することも可能である。

【0195】また、上第4、第5の実施形態では、シリコン窒化膜の形成原料としてヘキサクロルジシランを用いた例について説明したが、本発明の実施はこれに限られることは無く、一般にSi_nCl_{3n+2}(nは2以上の整数)、若しくはSi_nCl_{3n+2}H_x(nは2以上の整数、xは0以上2n+1以下の整数)で記載可能なシ

リコン塩化物ガスであれば実施可能である。これらのC 1 基の多い気体を用いることで塩素の濃度の高いシリコン窒化膜を形成することが出来る。

【0196】(第6の実施形態)図23は、本発明の第6の実施形態を示した図であり、隣接するゲート電極(或いはゲート配線)間の凹部にシリコン酸化膜を埋め込む工程を示した工程断面図である。

【0197】図23(a)は、通常の方法によってシリコン基板310上に形成されたゲート電極およびその周囲の構成を示している。ゲート電極はポリシリコン膜311、WN膜312およびW膜313によって形成されており、ゲート電極下にゲート絶縁膜314が形成されている。ゲート電極の上面にはキャップシリコン窒化膜315が形成され、ゲート電極の側面には側壁シリコン窒化膜316が形成されている。これらによって構成されたゲート構造の周囲にはライナーシリコン窒化膜317が形成され、さらにライナーシリコン窒化膜317の側部にはBPSG膜318が形成されている。また、隣接するゲート電極間には、ソース/ドレインとなる拡散層319が形成されている。

【0198】次に、図23(b)に示すように、ゲート電極間に凹部320が形成された基板の上にシリコン酸化膜321を以下のようにして形成する。

【0199】まず、図23(a)に示した構造を形成した後、LPCVD法により、シリコン窒化膜を形成する。原料ガスには、ヘキサクロロジシラン(HCD、Si₂Cl₆)およびアンモニア(NH₃)を用いる。なお、希釈ガスとして、N₂ガス或いは希ガスをを用いてもよい。成膜条件は、成膜温度250℃、ガス流量比NH₃/HCD=1000/10、反応炉内圧力1.4 Torrとする。これにより、全面に塩素を含有するシリコン窒化膜(SiN:HC1組成)が形成される。上述した条件での成膜速度は0.26nm/分であった。

【0200】図24は、成膜されたシリコン窒化膜に含まれる各元素のSIMSプロファイルを示した図である。酸素(O)、水素(H)および塩素(Cl)については濃度を、窒素(N)についてはイオンカウントを示している。ここでは、HCDを用いて250℃で成膜したシリコン窒化膜が酸化されないようにするため、その上面に450℃で成膜したシリコン窒化膜を形成している。250℃で成膜したシリコン窒化膜中には、 $1 \times 10^{12} \text{ cm}^{-3}$ 程度の塩素が含有されていることがわかる。

【0201】次に、成膜したシリコン窒化膜を緩やかな条件で酸化し、塩素を含有するシリコン酸化膜321に変換する。このときの条件は、例えば、O₂雰囲気、酸化温度600℃、酸化時間10分とする。この膜交換処理により、膜厚が20%程度増加する(例えば、22.9nmから27.8nmに膜厚が増加する)。また、屈折率は、1.56から1.43へと減少し、通常のシリコン酸化膜とはほぼ同等の値を示す。すなわち、緩やかな

条件で酸化を行うことにより、シリコン窒化膜は体積膨張を伴ってシリコン酸化膜321へと変換される。ちなみに、上述した条件で成膜したシリコン窒化膜は、室温で大気中に長時間放置することによっても、シリコン酸化膜へと変化する。

【0202】図25は、膜交換されたシリコン酸化膜に含まれる各元素のSIMSプロファイルを示した図である。酸素(O)、水素(H)および塩素(Cl)については濃度を、窒素(N)についてはイオンカウントを示している。シリコン酸化膜中には、塩素が $6 \times 10^{11} \text{ cm}^{-3}$ 程度、水素が $1 \times 10^{11} \text{ cm}^{-3}$ 程度含有されている。測定条件は、1次イオン種:Cs⁺、1次加速電圧:5kV、スパッタレート:0.4nm/秒である。また、NSi43(原子量14のNと原子量29のSiからなるセグメントのイオン)のイオンカウントは、 6×10^2 (CPS)程度であった。なお、HCDを用いて650℃で成膜した窒素を $4 \times 10^{14} \text{ cm}^{-3}$ 含むシリコン窒化膜では、上記測定条件においてNSi43のイオンカウントは 5×10^3 (CPS)であった。

【0203】本実施形態によれば、原料ガスにHCDを用いたLPCVD法により低温で塩素を含有するシリコン窒化膜を形成し、このシリコン窒化膜を酸化してシリコン酸化膜に変換することにより、凹部や段差部に均一かつ均質にシリコン酸化膜を埋め込むことができる。また、仮にシリコン窒化膜に“す”が存在していたとしても、シリコン窒化膜をシリコン酸化膜に変換する際に体積膨張を伴うので、“す”のないシリコン酸化膜を得ることができる。

【0204】なお、上述した例では、シリコン窒化膜の成膜温度を250℃としたが、450℃未満であれば、酸化条件を適切に選ぶことにより、同様の効果が期待できる。また、上述した例では、酸化雰囲気としてO₂雰囲気としたが、オゾン(O₃)雰囲気でもよく、オゾン雰囲気とすることでより低温でシリコン窒化膜をシリコン酸化膜に変換可能である。また、水蒸気中での酸化処理、酸化剤として機能する薬液(例えば、オゾン水や過酸化水素水等)による酸化処理等によっても、シリコン窒化膜をシリコン酸化膜に変換可能である。

【0205】(第7の実施形態)図26は、本発明の第7の実施形態を示した図であり、STI構造における素子分離溝にシリコン酸化膜を埋め込む工程を示した工程断面図である。

【0206】図26(a)は、通常の方法によってシリコン基板330上に素子分離溝331を形成したときの構成を示している。332はシリコン酸化膜、333はシリコン窒化膜であり、本例ではさらに薄いシリコン酸化膜334を全面に形成している。

【0207】図26(b)は、素子分離溝331が形成された基板の上に塩素を含有するシリコン酸化膜335を形成した状態を示している。このシリコン酸化膜335

は、第6の実施形態と同様、原料ガスにHCDを用いたLPCVD法により塩素を含有するシリコン窒化膜を形成し、このシリコン窒化膜を酸化してシリコン酸化膜に変換することによって得られる。

【0208】最後に、図26(c)に示すように、素子分離溝331の外部のシリコン酸化膜335をCMPにより除去して、ST1による素子分離工程が終了する。

【0209】本実施形態によっても、第6の実施形態と同様、素子分離溝内に“す”のないシリコン酸化膜を均一かつ均質に埋め込むことができる。

【0210】(第8の実施形態)図27は、本発明の第8の実施形態を示した図であり、凹部を有する下地領域上にシリコン酸化膜を埋め込む工程を示した工程断面図である。下地領域としては、第6の実施形態における図23(a)の構造、或いは第7の実施形態における図26(a)の構造等があげられる。

【0211】第6および第7の実施形態では、原料ガスにHCDを用いたLPCVD法により塩素を含有するシリコン窒化膜を凹部内全体に成膜し、これをシリコン酸化膜に変換するようにしたが、本実施形態では、シリコン窒化膜の成膜工程とシリコン酸化膜への交換工程とを複数回繰り返すことにより、最終的に凹部内全体にシリコン酸化膜を埋め込むようにしている。

【0212】まず、図27(a)に示すように、凹部51が形成された下地領域351上に塩素を含有するシリコン窒化膜352を形成する。このシリコン窒化膜352の形成条件等は第6の実施形態と同様である。

【0213】続いて、図27(b)に示すように、シリコン窒化膜352を酸化して塩素を含有するシリコン酸化膜353に変換する。この変換処理の条件等も第6の実施形態と同様である。

【0214】さらに、図27(c)および図27(d)に示すように、図27(a)および図27(b)と同様にして、塩素を含有するシリコン窒化膜354を成膜した後、このシリコン窒化膜354を酸化してシリコン酸化膜355に変換する。

【0215】上述したシリコン窒化膜の成膜工程とシリコン酸化膜への交換工程とを複数回繰り返すことにより、図27(e)に示すように、最終的に凹部内全体に塩素を含有するシリコン酸化膜356が形成される。

【0216】本実施形態によれば、シリコン窒化膜の成膜工程とシリコン酸化膜への交換工程とを複数回繰り返すので、各シリコン窒化膜の膜厚を薄くすることができる。したがって、凹部が深い場合等、1回の酸化処理でシリコン窒化膜全体をシリコン酸化膜に変換することが困難な場合であっても、容易に凹部内全体にシリコン酸化膜を形成することができる。

【0217】なお、以上説明した第6～第8の実施形態では、LPCVD法で塩素を含有するシリコン窒化膜を形成したが、シリコン窒化膜中にさらにリン(P)およ

びボロン(B)の少なくとも一方を含有させるようにしてもよい。リンを含有させるためには、原料ガスとしてHCDおよびアンモニアの他にさらにPH₃を用い、ボロンを含有させるためには、原料ガスとしてHCDおよびアンモニアの他にさらにB₂H₆を用いるようにする。

【0218】リンおよびボロンの少なくとも一方を含有したシリコン窒化膜を第6の実施形態等と同様にして酸化処理することにより、塩素の他にリンおよびボロンの少なくとも一方を含有するシリコン酸化膜(例えば、塩素を含有するBPSG膜)を凹部内に形成することができる。なお、シリコン酸化膜中のリンおよびボロンの含有量は、それぞれ3-10wt%程度にすることが好ましい。

【0219】このように、シリコン酸化膜中にリンやボロンを含有させることにより、第6～第8で述べたような効果を得られることは勿論、NaやFe等の電気特性上の劣化を引き起こす不純物のゲッタリング効果を得ることができる。また、図23で示したような構造に用いた場合には、シリコン酸化膜321(この場合、塩素の他にリンやボロンを含有するシリコン酸化膜)にRIEによってコンタクト孔を開ける際に、下層側に形成されているシリコン窒化膜に対して高選択比でエッチングを行うことができ、コンタクト孔を容易に形成することができる。

【0220】(第9の実施形態) 先ず、本発明の動機となった背景について説明する。高集積・微細化をさらに進めて、次世代半導体を実現するためには、種々の技術的な問題がある。

【0221】例えば、適用個所が多岐にわたっているシリコン窒化膜について問題点を示す。ここで、半導体集積回路で多岐にわたって使用されるシリコン窒化膜の用途には、電気的絶縁膜、キャパシタもしくはゲート用絶縁膜、エッチングストッパー、ハードマスク、バリア膜、パッシベーション膜などがある。

【0222】半導体装置にシリコン窒化膜を適用する上での問題点とは、大きく分けて次の3つが挙げられる。

【0223】1. 高集積・微細化が進んだ次世代半導体装置においては、微細な凹凸を持つ下地上に被覆性良く成膜する必要がある。通常、被覆性の良い成膜方法としてはLPCVD法が用いられる。LPCVD法を用いた場合のシリコン窒化膜の通常の成膜温度は800℃程度である。しかしながら、次世代半導体装置においては、金属配線、バリアメタル膜、シリサイド層、浅い拡散層の形成など、耐熱性の無いものが数多く使用されるために、成膜温度800℃程度は高すぎる。

【0224】2. エッチングストッパ膜もしくはハードマスクとして使用されるシリコン窒化膜のエッチング耐性は低いため、必要なエッチング耐性を確保するためには、シリコン窒化膜の膜厚を厚くする必要がある。膜厚が厚くなると、シリコン窒化膜の成膜時間が長くかか

り、サーマルバジェットが大きくなる。このようなサーマルバジェットの下では、拡散層の伸び(再拡散)や不活性化、金属膜の凝集や腐蝕、シリサイド層の凝集など、耐熱性の無い部分でさまざまな問題が起こり、素子特性を悪化させる。また、生産性が悪くコストが増大するなどの問題がある。

【0225】3. シリコン窒化膜の誘電率は7.5と高い。誘電率の高い絶縁膜を複数箇所において使用すると、配線間もしくは配線層間の寄生容量が著しく増大してしまう。今後、微細化が進むことによるゲート電極間距離の縮小および配線間距離の狭ピッチ化により、今までと同じ誘電率の絶縁膜を使用すると、寄生容量はさらに増大することになってしまう。また、寄生容量が大きいことで、例えば記憶を保持するキャパシタの容量は、寄生容量の分だけ実効的な容量が減少してしまう。減少した分の容量を稼ぐためには、キャパシタの容量および面積を大きくすることが必要になる。これは、チップサイズの大型化や、生産コストの増大を招くことになる。

【0226】図28および図29は、本発明の第9の実施形態に係る半導体装置の製造方法を示す工程断面図である。これらの図は、DRAMセルのMOSトランジスタをチャンネル長方向と垂直な方向で切断した断面を示している。

【0227】まず、周知の方法に従って、図28(a)に示した構造を形成する。図28(a)は、メモリセルを構成する複数のMOSトランジスタの作製が終了し、ゲート電極よりも1層上の層にビット線もしくはワード線としての金属配線を埋込み形成した後の断面図を示している。

【0228】図中、401はシリコン基板、402は多結晶シリコン膜(ゲート)、403は窒化タングステン膜(ゲート)、404はタングステン膜(ゲート)、405はシリコン窒化膜、406はシリコン酸化膜(層間絶縁膜)、407はトレンチ、408はシリコン窒化膜、409はバリア金属膜(例えばTi膜/TiN膜)、410は金属配線(例えばW配線)を示している。

【0229】トレンチ407の金属配線410が埋め込まれていない部分の最大アスペクト比は、1程度(深さ150nm程度、幅150nm程度)である。バリア金属膜409、金属配線410は、金属膜(例えばTiN膜)、金属膜(例えばW膜)を順次堆積した後、これらの金属膜をエッチバックすることで形成する。

【0230】次に図28(b)に示すように、厚さ200nmのキャップ絶縁膜としてのシリコン窒化膜411を、制御性および被覆性に優れた成膜法であるLPCVD法により形成する。

【0231】シリコン窒化膜411は均質かつ均一である必要があり、さらにシリコン窒化膜411はトレンチ407に隙間を生じることなく形成する必要がある。そ

のため、シリコン窒化膜411の成膜には、LPCVD法のような被覆性の良い成膜方法が用いられる。

【0232】また、バリア金属膜409は耐熱性が無いため、ジクロロシラン(DCS)を原料に用いたシリコン窒化膜の成膜方法、すなわちシリコン窒化膜の成膜に高温および長時間(例えば、700℃、330分)を要する従来の成膜方法では、コンタクト部分のチタンシリサイド層が凝集したり、拡散層中の不純物の不活性化が起きてしまう。

【0233】そこで、本実施形態では、700℃以下の低温成膜が可能なシリコンソース、例えばヘキサクロロジシラン(HCD)およびアンモニアを用い、成膜温度600℃、反応炉内圧0.5 Torr、ガス流量比アンモニア/HCD/メチルアミン=2000/20/20(それぞれ、単位はsccm)の成膜条件で、LPCVD法によりシリコン窒化膜411を形成する。

【0234】本条件でのシリコン窒化膜411の成膜速度は1.3nm/min.である。本方法により、シリコン窒化膜411膜中には、不純物として、水素、塩素および炭素が含まれる。水素濃度は $5 \times 10^{21} \text{ cm}^{-3}$ 、塩素濃度は $9 \times 10^{20} \text{ cm}^{-3}$ および炭素濃度は $5 \times 10^{21} \text{ cm}^{-3}$ である。本発明の効果を十分に得るには、塩素濃度および炭素濃度は $4 \times 10^{20} \text{ cm}^{-3}$ 以上が好ましい。そのためにはシリコン窒化膜411の成膜温度を700℃以下に設定すると良い。

【0235】本実施形態では、炭素の供給源としてメチルアミンについて述べたが、炭化水素化合物やアミン系炭化物、例えばメタン、エタン、エチレン、アセチレン、ジメチルアミンなどのいずれでも可能である。

【0236】次に図29(c)に示すように、トレンチ407の外部のシリコン窒化膜411をCMPにより除去し、表面を平坦にする。このとき、シリコン酸化膜406をCMPストッパーに用いて平坦化を行う。上記CMPは、シリコン窒化膜を研磨する一般的な条件、例えば小粒径シリカとりん酸2.5wt.%と水からなるスラリーを用い、研磨パッド荷重は200g重とする。

【0237】CMPの研磨速度は、成膜温度を低温化することおよびシリコンソースを変えたことによって影響を受けず、上記研磨条件の場合、従来方法および本実施形態の方法により形成されたいずれのシリコン窒化膜もその研磨速度は20nm/min.であった。すなわち、本発明の方法によりキャップ絶縁膜としてのシリコン窒化膜を形成しても、平坦化に関しては従来技術と変わらない研磨加工特性が得られることが確認された。

【0238】このように本実施形態の方法によれば、シリコン窒化膜を低温で形成することができるので、キャップ絶縁膜の形成工程(シリコン窒化膜411の形成工程)でデバイス特性が劣化するという問題は起こらない。

【0239】また、本実施形態の方法によれば、シリコ

ン窒化膜の密度を小さくでき、シリコン窒化膜の誘電率を小さくできることが分かった。

【0240】図30に、メチルアミンを添加していないシリコン窒化膜、すなわち炭素を導入していないシリコン窒化膜の誘電率の成膜温度依存性の結果を示す。ちなみに、炭素を導入したシリコン窒化膜の誘電率は、成膜温度600°Cで、6.4であった。図中、白丸はDCS-SiN膜、黒丸はHCD-SiN膜を示している。

【0241】次に図29(d)に示すように、レジストパターン(不図示)を形成し、シリコン窒化膜411および上記レジストパターンをマスクに用いて、シリコン酸化膜406をRIE(Reactive Ion Etcher)によりエッチングし、コンタクトホール412を自己整合的に開口する。

【0242】シリコン窒化膜411のRIE(Reactive Ion Etching)エッチングレート(成膜温度に対する依存性はほとんど無い)。

【0243】図31に、炭素を含まないシリコン窒化膜のRIEレートの成膜温度依存性を示す。図から、成膜温度550°Cまで、成膜温度700°CのDCS-SiN膜(従来のシリコン窒化膜)と変わらない。成膜温度を450°Cにまで下げると、RIEレートはやや大きくなる。

【0244】図32に、RIEレートとシリコン窒化膜中の炭素濃度との関係を示す。図から、シリコン窒化膜中に炭素を導入することにより、炭素を導入しないシリコン窒化膜に比べて、RIEレートを2割程度小さくできることが分かる。

【0245】図29(c)の工程(RIE工程)で、シリコン窒化膜411のレジストパターンで覆われていない露出分(マスクとして機能する部分)は、RIEのエッチング種(イオン、ラジカル)により、角が落ち、全体が丸まってしまう。

【0246】図33に、RIE工程でシリコン窒化膜411の全体が丸まった様子を示す。図中、点線は、CMP工程終了後かつRIE工程前のシリコン窒化膜411を示している。

【0247】キャップ絶縁膜としてのシリコン窒化膜は、その真横に形成される電極とその上部に形成されるキャパシタの下部電極とを電気的に絶縁する機能を有する必要がある。そのため、キャップ絶縁膜としてのシリコン窒化膜は、RIE工程の終了後も、ある程度の厚さを残していなければならない。

【0248】従来の炭素の導入されていないシリコン窒化膜の削れ量は、上部で18nm、角の部分で70nmであったが、本発明の炭素が導入されたシリコン窒化膜411の削れ量は、上部で14nm、角部で54nmであった。

【0249】すなわち、従来のシリコン窒化膜を用いた場合、RIE工程後にキャップ絶縁膜として使用可能な

程度の膜厚を確保するためには、RIE工程前のシリコン窒化膜の膜厚を200nmにする必要があるが、本発明のシリコン窒化膜を用いれば、RIE工程前の膜厚を160nmまで薄くできる。

【0250】以上述べたように本実施形態によれば、従来よりも低誘電率かつエッチング耐性のあるシリコン窒化膜を形成することができる。したがって、従来よりも低誘電率かつ薄膜のシリコン窒化膜を使用できるようになり、半導体デバイスの層間絶縁膜による寄生容量を低減できるようになる。

【0251】以下、次世代のDRAMである1G-DRAMの寄生容量の低減について具体的に説明する。

【0252】図34(a)は本発明のシリコン窒化膜を用いたDRAMの断面図、図34(b)は従来のシリコン窒化膜を用いたDRAMの断面図を示している。

【0253】なお、実際の半導体デバイスにおいては、配線同士や、電極と配線が複雑に交差しているため、生成する電界分布も複雑になっている。そのため、図には、寄生容量に寄与する電極配置の一例のみを示してある。また、図28および図29と対応する部分には、図28および図29と同一符号を付してある。図中、413はLDD構造を有するソース/ドレイン拡散層、414および415はゲート側壁絶縁膜を示している。

【0254】寄生容量は、例えば、ゲート電極402-404と金属配線410との間に発生する。本発明によれば、ゲート電極・金属配線間には、従来よりも誘電率が低く、かつ膜厚の薄いシリコン窒化膜411が形成されているため、寄生容量を十分に低減することが可能になる。

【0255】図34(a)には、ゲート電極・金属配線間の距離が大きい例を示した。この場合において、ゲート電極のピッチがより狭くなると、本発明のシリコン窒化膜の低誘電率化・薄膜化による効果はより顕著になる。

【0256】寄生容量を小さくできると、キャパシタ面積を小さくでき、配線間距離およびゲート間距離も小さくすることが可能になり、最終的にはチップサイズも小さくすることができる。また、いわゆるRC遅延抵抗が小さくなることから、デバイス特性も向上する。

【0257】一方、従来の技術では、シリコン窒化膜411を200nm形成する。従来のシリコン窒化膜411は、典型的には、成膜温度780°C、反応炉内圧6.5Pa、ジクロロシラン/アンモニア流量比150sccm/1500sccmの条件で形成する。この場合のシリコン窒化膜411成膜速度は3.0nm/min程度である。しかし、シリコン窒化膜411を780°Cで形成すると、バリアメタル膜409の熱耐圧が持たず、金属配線410とシリコン基板401と反応してしまう。

【0258】そもそも、シリコン窒化膜411を780

℃で形成すると、既に形成したあったMOSトランジスタがダメージを受け、MOSトランジスタは使い物にならなくなってしまう。

【0259】従来の技術でも、成膜温度を700℃に下げることが可能である。しかし、成膜温度700℃での成膜速度は0.7nm/min.であるため、厚さ200nmのキャップシリコン窒化膜を形成するためには5時間弱かかってしまう。

【0260】実際のプロセスでは、温度が均一になるのに要する時間およびバッチに要する時間などが必要であり、プロセス全体では9時間程度の成膜時間を要する。すなわち、700℃という比較的高温の成膜温度で、キャップシリコン窒化膜の成膜を行っても、生産性が非常に悪くなる。

【0261】このような比較的高温・長時間のサーマルバジェットの下では、コンタクトホール底面に形成されたTixSiy(チタンシリサイド)層(不図示)が一部分に凝集してしまうため、コンタクト抵抗が上昇してしまう。さらに、上記サーマルバジェットの下では、いったん活性化した拡散層が再び不活性化したり、あるいは拡散層が再拡散して拡散層の抵抗が上昇してしまう。

【0262】以上述べたように、ジクロロシランを用いたシリコン窒化膜の形成方法において、成膜温度を下げると、生産性が非常に悪くなるという問題がある。しかし、本発明によれば、低温、かつ高速のシリコン窒化膜の形成方法、すなわち次世代の半導体装置に使用されるシリコン窒化膜の形成方法を確立することが可能となる。

【0263】本実施形態では、本発明をキャップシリコン窒化膜に適用した場合について説明したが、ゲート上部絶縁膜414、ゲート側壁絶縁膜414、415にも適用できる。

【0264】本実施形態では、シリコン窒化膜のRIEレートを遅くできる例について説明したが、他のエッチングレートも遅くできる。例えば、シリコン窒化膜の希フッ酸によるエッチングレートも遅くできる。

【0265】図35に、シリコン窒化膜の炭素濃度とシリコン窒化膜の希フッ酸によるエッチングレートとの関係を示す。本実験で使用した希フッ酸溶液は、46%フッ酸を、それよりも体積が200倍ある水で希釈したものである。

【0266】図から、シリコン窒化膜中に炭素を導入することで、シリコン窒化膜の希フッ酸によるエッチングレートを小さくできることが分かる。これは、炭素の有無により、シリコン窒化膜どうしてエッチング選択比が取れることを意味する。

【0267】これを積極的に利用したプロセスとしては、例えばダマシメタルゲートプロセスがあげられる。すなわち、図36(a)に示すように、ダミーゲートとして炭素を含まないシリコン窒化膜501を形成

し、ゲート側壁絶縁膜として炭素を含むシリコン窒化膜502を形成した後、図36(b)に示すように、希フッ酸溶液を用いたウェットエッチングによりシリコン窒化膜502を容易に選択的に除去することができる。なお、図中、500はシリコン基板、503はゲート絶縁膜、504はLDD構造を有するソース/ドレイン拡散層、505は層間絶縁膜を示している。

【0268】

【発明の効果】以上詳説したように本発明によれば、Si原料としてSi-Si結合およびSi-C結合を含む化合物、成膜方法としてLPCVD法を用いることで、シリコン酸化膜との間で選択比の取れる、塩素濃度が $4 \times 10^{23} \text{ cm}^{-3}$ 以上であるシリコン窒化膜を実現できるようになる。

【0269】また、塩素濃度が $1 \times 10^{23} \text{ cm}^{-3}$ 以上であれば、被覆率およびエッチング選択比として従来と変わることなく、誘電率が低く、かつ希フッ酸に対するエッチングレートが大きい、シリコン酸化膜のエッチング時に用いるエッチングストップ膜として用いられ、さらにCuのバリア膜として用いられるシリコン窒化膜を実現できるようになる。

【0270】また、本発明によれば、シリコン窒化膜、特に塩素を含有するシリコン窒化膜を酸化してシリコン酸化膜に変換することにより、埋め込み特性や膜特性に優れたシリコン酸化膜を凹部内に形成することが可能となる。また、シリコン酸化膜中に塩素を含有させることにより、他の膜との界面に存在するダングリングボンドを終端させることができ、リーク電流の低減等をはかることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1および第2の実施形態に係る半導体装置の製造方法の前半を示す工程断面図

【図2】本発明の第1および第2の実施形態に係る半導体装置の製造方法の後半を示す工程断面図

【図3】本発明のシリコン窒化膜(HCD-SiN膜)の塩素濃度の成膜温度依存性を示す図

【図4】HCD-SiNの誘電率の成膜温度依存性を示す図

【図5】シリコン窒化膜中の塩素濃度のCMP速度依存性を示す特性図

【図6】HCD-SiN膜のRIEレートの成膜温度依存性およびDCS-SiN膜の成膜温度700℃におけるRIEレートを示す図

【図7】HCD-SiN膜に対するTEOS酸化膜のRIEの選択比の成膜温度およびアンモニア流量の依存性を示す図

【図8】HCD-SiN膜の成膜速度の成膜温度依存性を示す図

【図9】HCD-SiN膜のシリコンの結合状態を光電子分光測定によって調べた結果を示す図

【図10】第2の実施形態の方法において成膜温度を変えて形成した各シリコン窒化膜のN/Si比を化学分析にて調べた結果を示す図

【図11】第2の実施形態の方法において成膜温度を変えて形成したHCD-SiN膜の密度および成膜温度700℃で形成したDCS-SiN膜の密度を調べた結果を示す図

【図12】本発明の第3の実施形態に係るMOSトランジスタの製造方法の前半を示す工程断面図

【図13】本発明の第3の実施形態に係るMOSトランジスタの製造方法の前半を示す工程断面図 10

【図14】本発明の第3の実施形態に係るMOSトランジスタの製造方法の後半を示す工程断面図

【図15】従来技術のみを用いて、ダミーゲートおよびゲート側壁絶縁膜を形成した場合の図14(g)の断面図に相当する断面図

【図16】ヘキサクロロジシランを用いて形成したシリコン窒化膜の希フッ酸によるエッチングレートの成膜温度依存性を示す図

【図17】Si原料がSi、Cl系のシリコン窒化膜の成膜中に流す窒素流量とシリコン窒化膜のウェットエッチングレートとの関係を示す図 20

【図18】本発明の第4の実施例に係る半導体装置の製造工程を示す工程断面図

【図19】HCD-SiN膜の熱処理前後のClとHのSIMSプロファイルを示す図

【図20】本発明の第5の実施例に係る半導体装置の製造工程を示す工程断面図

【図21】各種SiN膜のリーク電流の経時変化を示す図 30

【図22】SiN膜が破壊に至る時間とSiN膜中のCl濃度との関係を示す図

【図23】本発明の第6の実施例に係る製造工程を示す工程断面図

【図24】本発明に係るシリコン窒化膜に含まれる各元素のSIMSプロファイルを示す図

【図25】本発明に係るシリコン酸化膜に含まれる各元素のSIMSプロファイルを示す図

【図26】本発明の第7の実施例に係る製造工程を示す工程断面図 40

【図27】本発明の第8の実施例に係る製造工程を示す工程断面図

【図28】本発明の第9の実施例に係る半導体装置の製造方法の前半を示す工程断面図

【図29】本発明の第9の実施例に係る半導体装置の製造方法の後半を示す工程断面図

【図30】炭素を導入していないシリコン窒化膜の誘電率の成膜温度依存性の結果を示す図

【図31】炭素を含まないシリコン窒化膜のRIEレートの成膜温度依存性を示す図 50

【図32】RIEレートとシリコン窒化膜中の炭素濃度の関係を示す図

【図33】RIE工程でシリコン窒化膜の全体が丸まった様子を示す図

【図34】本発明および従来のシリコン窒化膜を用いたDRAMの断面図

【図35】シリコン窒化膜の炭素濃度とシリコン窒化膜の希フッ酸によるエッチングレートとの関係を示す図

【図36】第9の実施例の変形例を説明するための図

【図37】従来のDRAMセルをMOSトランジスタのチャンネル長方向と垂直な方向で切断した断面を示す断面図

【図38】ジクロロシラン等を用いたLPCVD法によりシリコン窒化膜を形成する場合の問題点を説明するための断面図

【図39】ジクロロシラン等を用いたLPCVD法によりシリコン窒化膜を形成する場合の他の問題点を説明するための断面図

【図40】従来のCu配線のCu配線部近傍の断面図

【図41】シリコン窒化膜はLPCVD法を用いて形成する理由を説明するための図

【符号の説明】

101、121…シリコン基板

102…n型ドレイン拡散層

103…層間絶縁膜(SiO₂膜)

104…コンタクトホール

105…配線溝

106…シリコン窒化膜

107…Ti層

108、134…TiN膜

109…W埋込み配線

110…シリコン窒化膜(HCD-SiN膜)

122…熱酸化膜

123…素子分離絶縁膜

124…多結晶シリコン膜

125…HCD-SiN膜

126…レジストパターン

127…ダミーゲート

128…後酸化膜

129…拡散層(LDD)

130…ゲート側壁DCS-SiN膜

131…ソース/ドレイン拡散層

132…層間絶縁膜

133…ゲート絶縁膜

135…Al膜

200…ゲート電極

201…シリコン基板

201'…金属配線

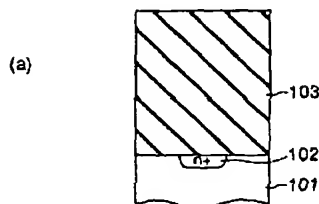
203…TEOS層間酸化膜

204…TaN膜

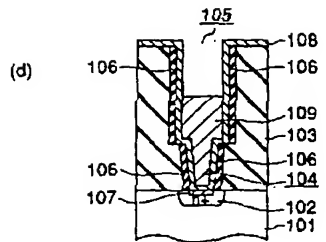
205...SiN膜
 206...ソース領域
 207...ドレイン領域
 208...ポリシリコン膜
 209...WN膜
 210...W膜
 211...ゲート側壁絶縁膜
 212, 213...SiN膜
 214...コンタクトホール
 220...層間絶縁膜
 311...ポリシリコン膜
 312...WN膜
 313...W膜

* 314...ゲート絶縁膜
 315, 316, 317, 350...シリコン窒化膜
 318...BPSG膜
 319...ソース/ドレイン拡散層
 320...凹部
 330...シリコン基板
 331...素子分離溝
 332, 334...シリコン酸化膜
 350...下地領域
 10 351...凹部
 352, 354...塩素を含有するシリコン窒化膜
 321, 335, 353, 355, 356...塩素を含有するシリコン酸化膜

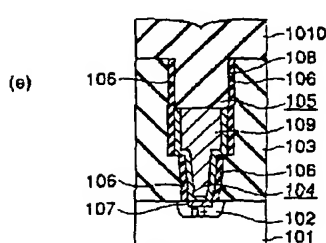
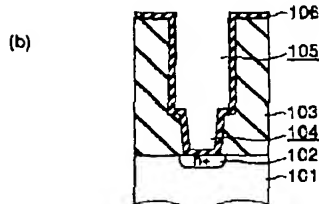
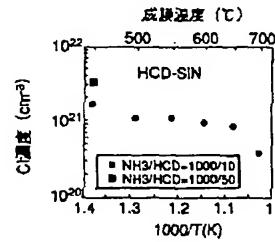
【図1】



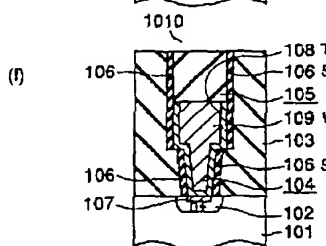
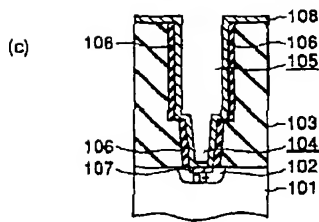
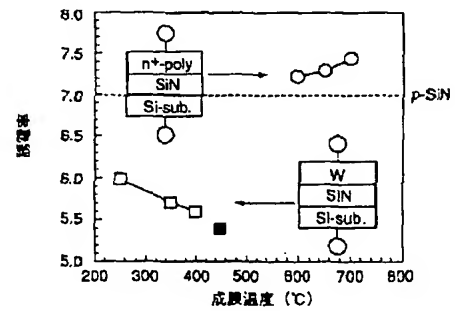
【図2】



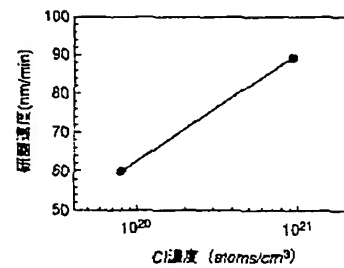
【図3】



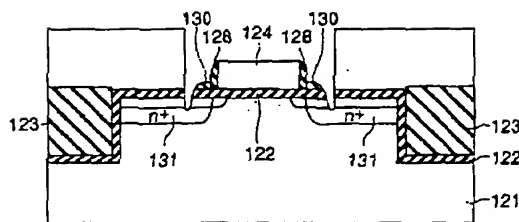
【図4】



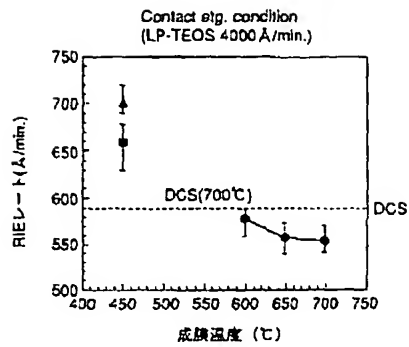
【図5】



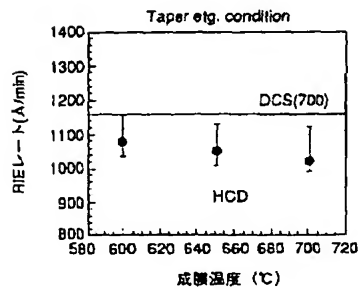
【図15】



【図6】

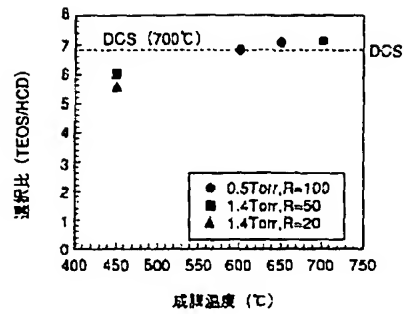


(a)

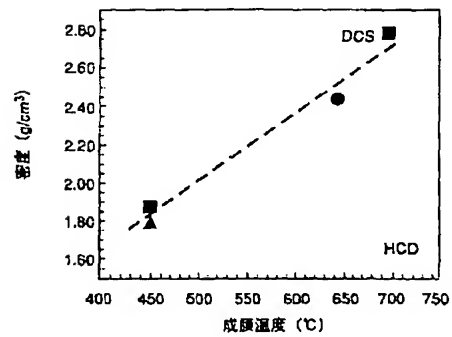


(b)

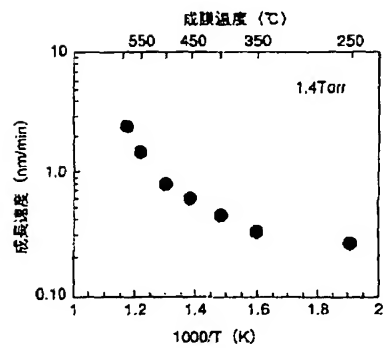
【図7】



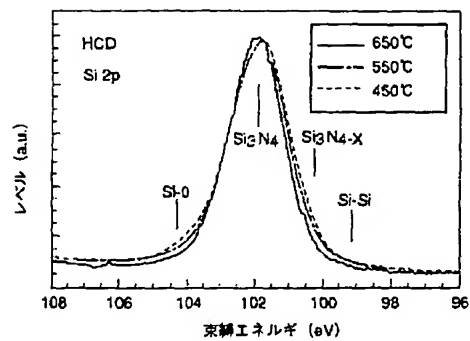
【図11】



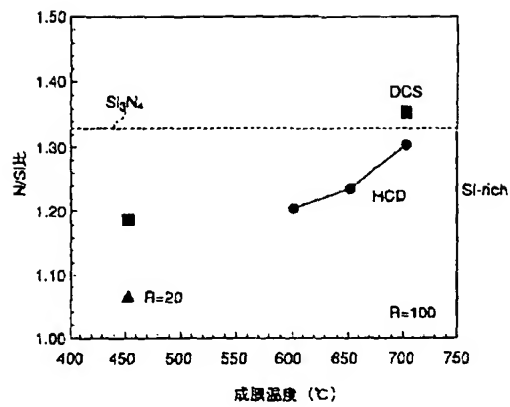
【図8】



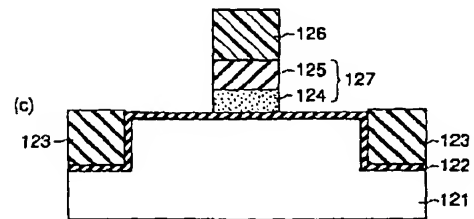
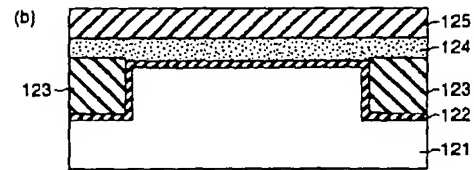
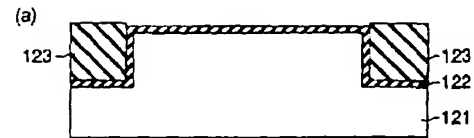
【図9】



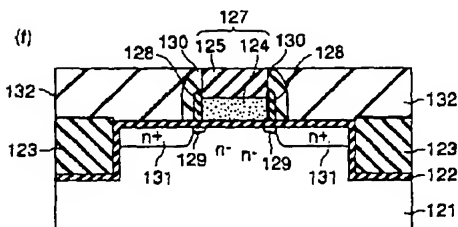
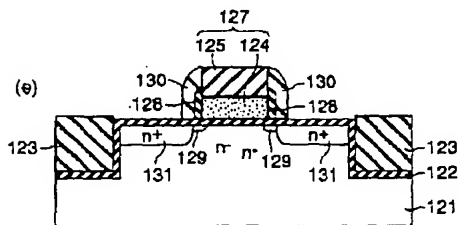
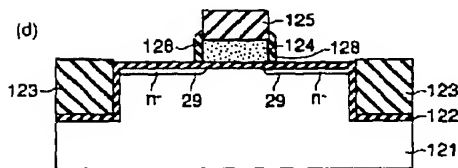
【図10】



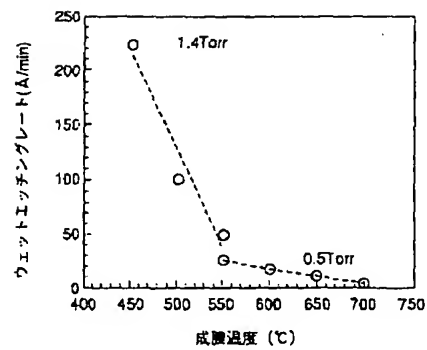
【図12】



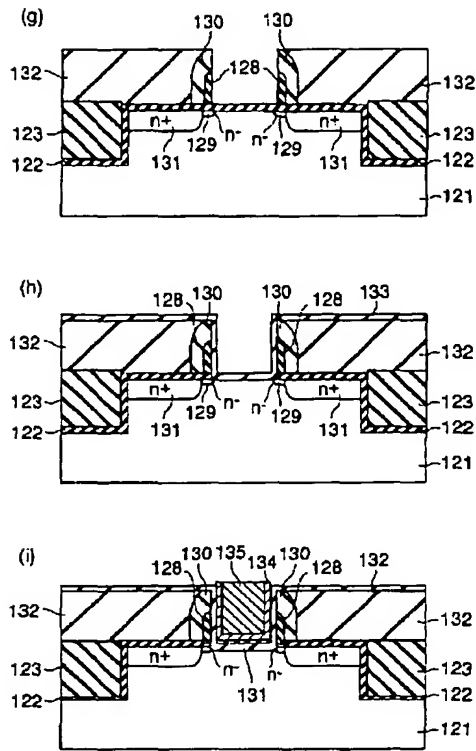
【図13】



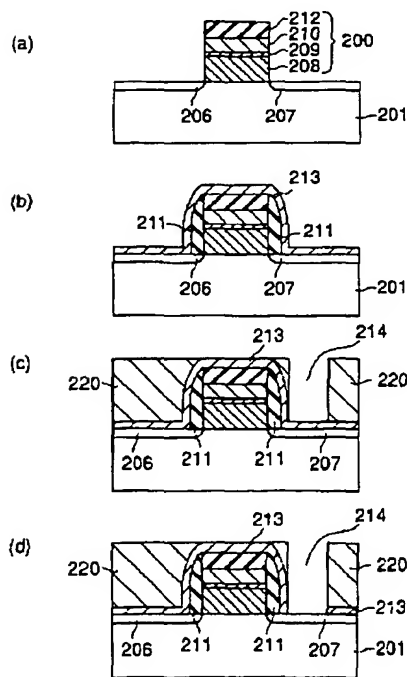
【図16】



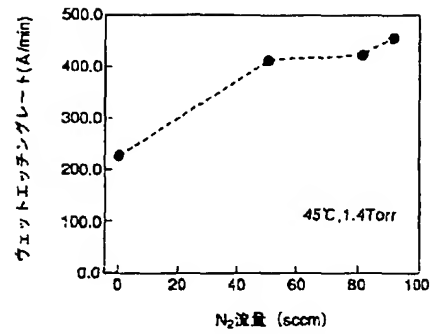
【図14】



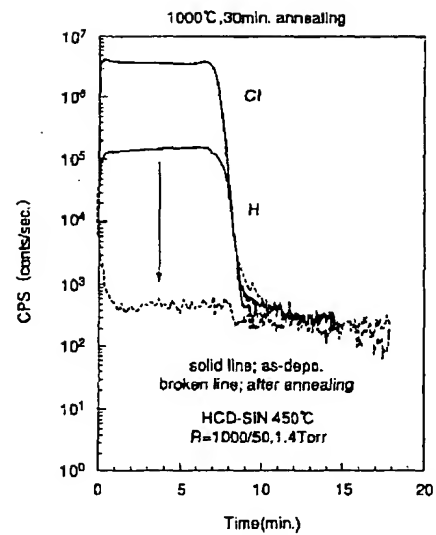
【図18】



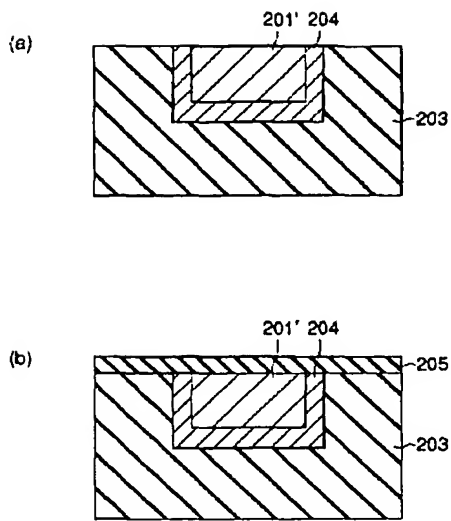
【図17】



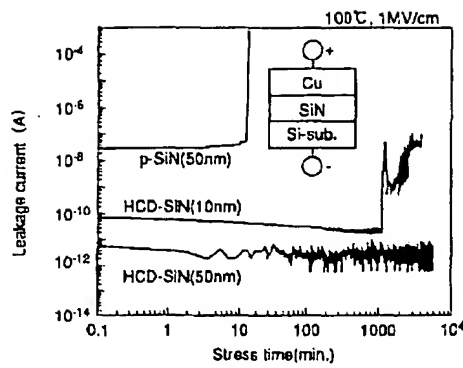
【図19】



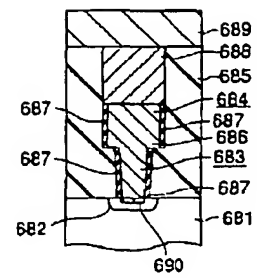
【図 20】



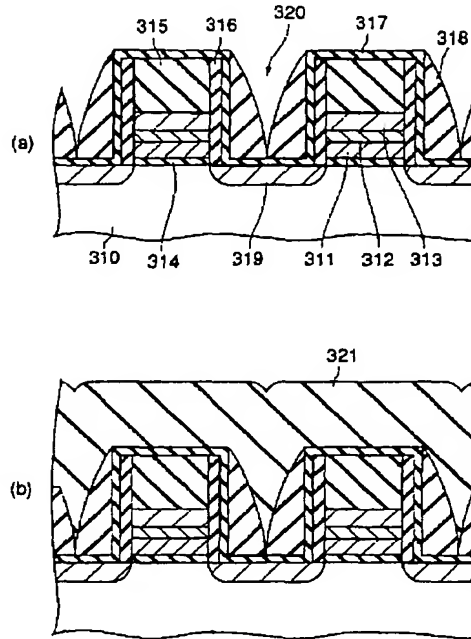
【図 21】



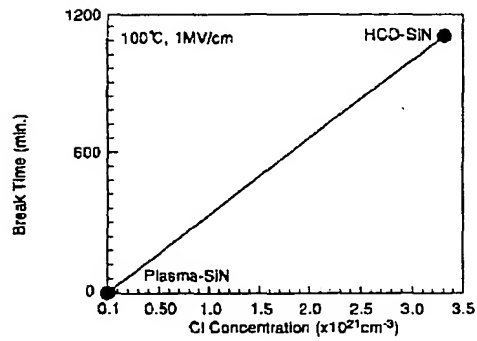
【図 37】



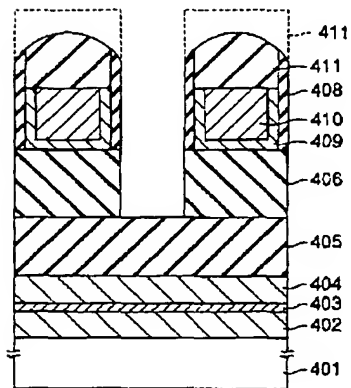
【図 23】



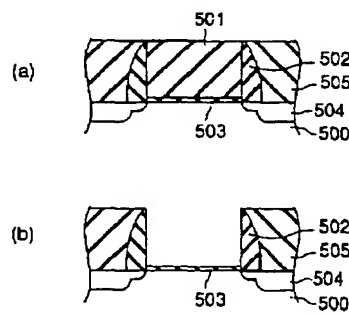
【図 22】



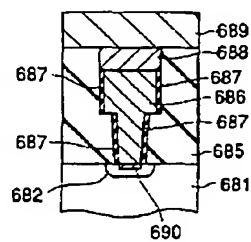
【図 33】



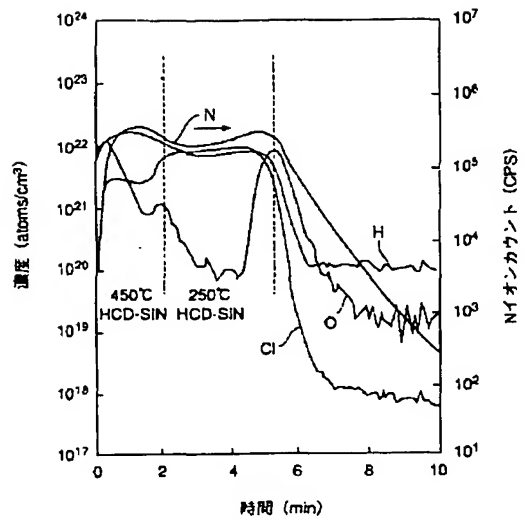
【図 36】



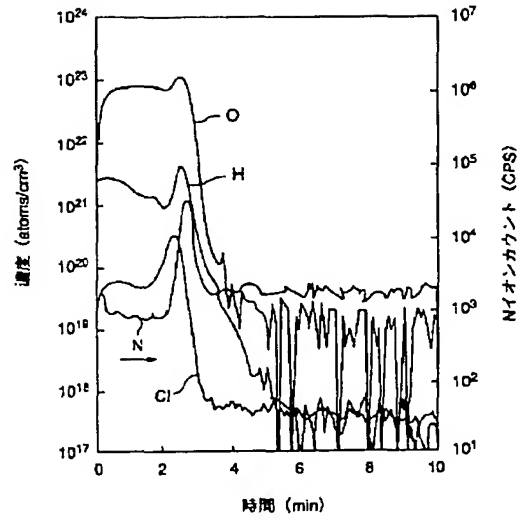
【図 38】



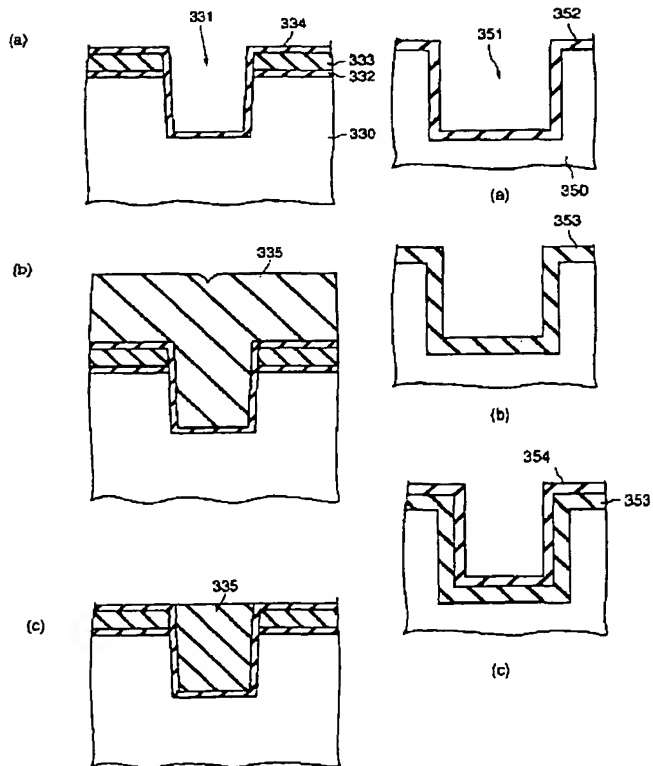
【図24】



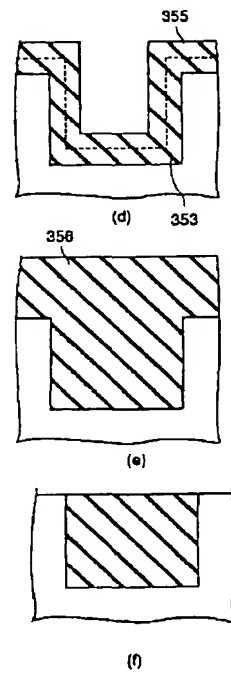
【図25】



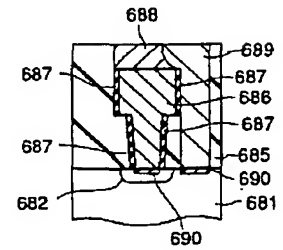
【図26】



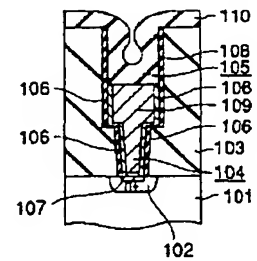
【図27】



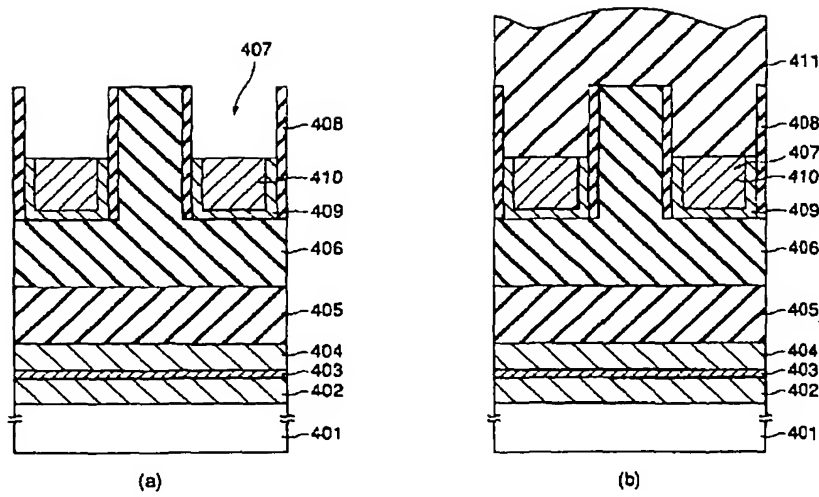
【図39】



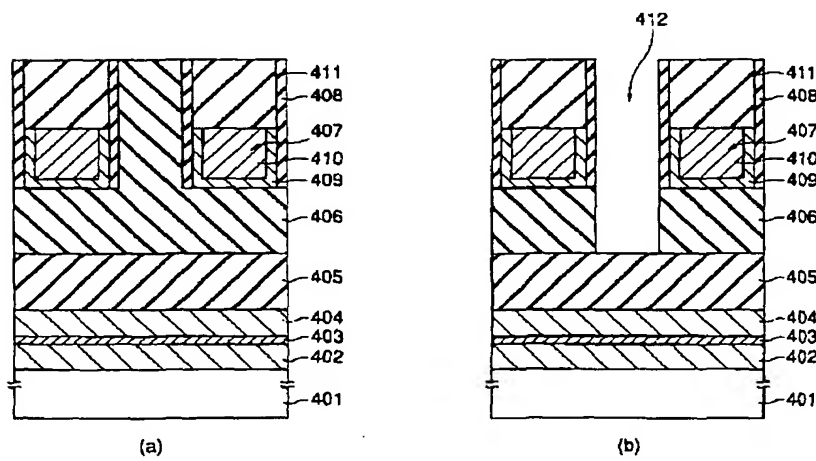
【図41】



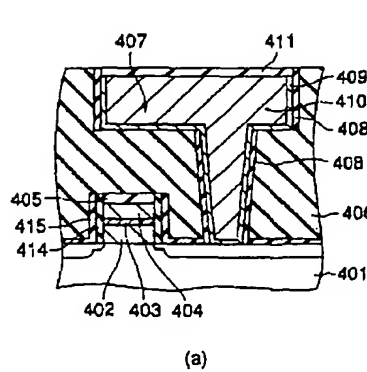
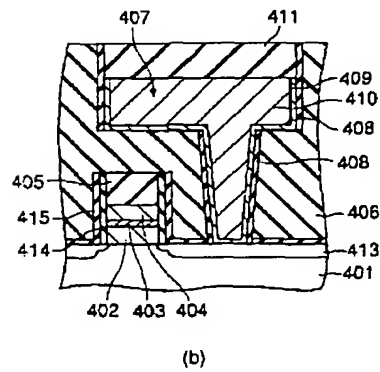
【図28】



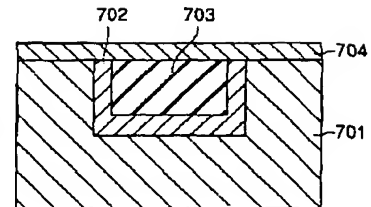
【図29】



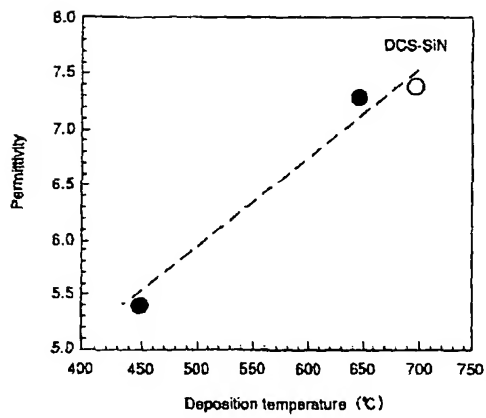
【図34】



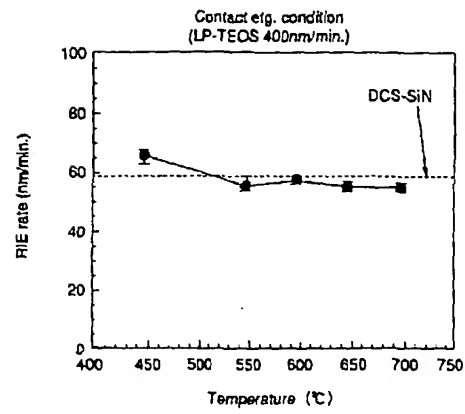
【図40】



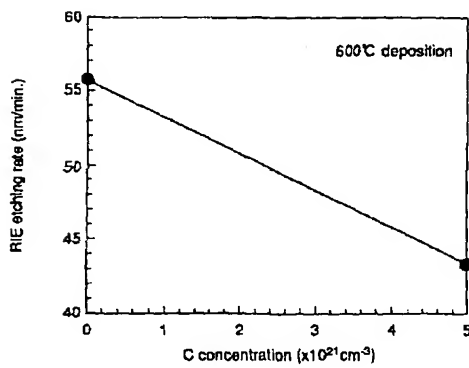
【図30】



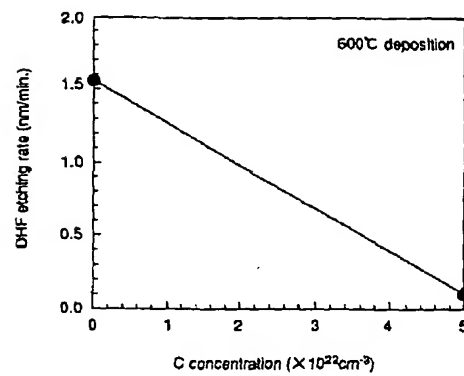
【図31】



【図32】



【図35】



フロントページの続き

(51)Int.Cl.⁷
H01L 21/336

識別記号

F I
H01L 29/78

ターマコード (参考)

301Y

(72)発明者 網島 祥隆
神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

F ターム(参考) 5F033 HH04 HH11 HH19 HH32 HH33
HH34 JJ18 JJ19 JJ33 KK01
MM01 MM02 MM08 MM12 MM13
NN03 NN06 NN07 PP06 PP07
QQ08 QQ13 QQ19 QQ25 QQ28
QQ31 QQ37 QQ48 QQ49 QQ58
QQ62 QQ74 QQ76 QQ89 QQ92
QQ94 RR04 RR06 RR11 RR12
RR13 RR14 RR15 RR20 SS01
SS02 SS13 TT06 TT07 TT08
VV06 VV16 WW03 WW04 XX01
XX24
5F040 DC01 EC02 EC04 EC07 EC20
ED03 EF02 EH07 EK05 EL02
EL03 EL04 EL06 FA02 FA07
FB02 FB04 FB05
5F058 BA09 BA20 BC08 BC10 BF04
BF24 BF30 BF37 BJ02
5F083 GA03 GA27 JA39 JA40 KA05
MA02 MA20 PR21